

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年3月18日 (18.03.2004)

PCT

(10) 国際公開番号
WO 2004/023634 A1

(51) 国際特許分類: H02M 3/28

(21) 国際出願番号: PCT/JP2003/009578

(22) 国際出願日: 2003年7月29日 (29.07.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-255616 2002年8月30日 (30.08.2002) JP(71) 出願人 (米国を除く全ての指定国について): サン
ケン電気株式会社 (SANKEN ELECTRIC CO., LTD.)
[JP/JP]; 〒352-8666 埼玉県 新座市 北野3丁目6番
3号 Saitama (JP).

(72) 発明者; および

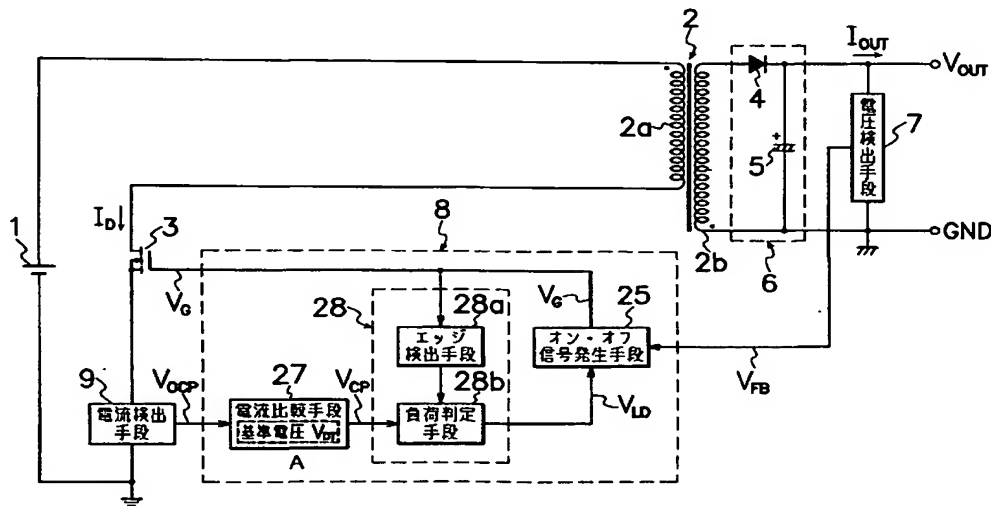
(75) 発明者/出願人 (米国についてのみ): 小池 憲吾
(KOIKE, Kengo) [JP/JP]; 〒352-8666 埼玉県 新座市 北
野3丁目6番3号 サンケン電気株式会社内 Saitama
(JP).(74) 代理人: 清水 敬一 (SHIMIZU, Keiichi); 〒153-0061 東
京都 目黒区 中目黒3丁目1番5号 YK中目黒ビル
3階 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, US.

添付公開書類:
— 国際調査報告書2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: SWITCHING POWER SOURCE DEVICE

(54) 発明の名称: スイッチング電源装置



7...VOLTAGE DETECTION MEANS

9...CURRENT DETECTION MEANS

27...CURRENT COMPARISON MEANS

A...REFERENCE VOLTAGE V_{DT}

28a...EDGE DETECTION MEANS

28b...LOAD DECISION MEANS

25...ON/OFF SIGNAL GENERATION MEANS

(57) Abstract: A switching power source device includes current comparison means (27) for outputting a current detection signal V_{CP} of a low level (L) when a detection voltage V_{OCP} of current detection means (9) does not reach a reference voltage V_{DT} and outputting a current detection signal V_{CP} of a high level (H) when the detection voltage V_{OCP} exceeds the reference voltage V_{DT} , edge detection means (28a) for detecting an edge of the drive signal V_G when an MOS-FET (3) is turned off, and load judgment means (28b) for acquiring the current detection signal (V_{CP}) from the current comparison means (27) when the edge detection means (28a) detects the edge of the drive signal V_G and generating an output signal (V_{LD}). When the output signal V_{LD}

[続葉有]

WO 2004/023634 A1



of the load judgment means (28b) is at the low voltage level (L), it is judged that the load is in a light state and when the output signal V_{LD} is at the high voltage level (H), it is judged that the load is greater than the light state. With the aforementioned configuration, it is possible to accurately and surely detect the load state of the secondary side of the switching power source device at the primary side and improve conversion efficiency.

(57) 要約: 本発明によるスイッチング電源装置は、電流検出手段(9)の検出電圧 V_{OCF} が基準電圧 V_{DT} に達しないときに低い電圧(L)レベルの電流検出信号 V_{CF} を出力し、前記の検出電圧 V_{OCF} が基準電圧 V_{DT} を超えたときに高い電圧(H)レベルの電流検出信号 V_{CF} を出力する電流比較手段(27)と、MOS-FET(3)のターンオフ時の駆動信号 V_G のエッジを検出するエッジ検出手段(28a)と、エッジ検出手段(28a)が駆動信号 V_G のエッジを検出したときに電流比較手段(27)から電流検出信号(V_{CF})を取り込んで出力信号(V_{LD})を発生する負荷判定手段(28b)とを有し、負荷判定手段(28b)の出力信号 V_{LD} が低い電圧(L)レベルのときに軽負荷状態と判断し、前記の出力信号 V_{LD} が高い電圧(H)レベルのときに軽負荷より重い状態と判断する。以上の構成により、スイッチング電源装置の2次側の負荷状態を1次側にて正確且つ確実に検出すると共に変換効率を向上できる。

明 細 書

スイッチング電源装置

技術分野

本発明はスイッチング電源装置、特に２次側の負荷の状態を１次側にて正確且つ確実に検出すると共に変換効率を向上できるスイッチング電源装置に属する。

背景技術

公知の技術であるリングングチョークコンバータ（ＲＣＣ）等の自励式フライバック型スイッチング電源装置では、負荷が軽い状態になると、スイッチング素子のオン期間が短くなり、トランスの２次巻線のフライバック電圧が発生する期間が短くなるため、スイッチング素子の発振周波数が増加する。スイッチング素子の発振周波数は、概ね最大負荷時に３０～７０[kHz]、最小負荷時に２００～４００[kHz]程度である。このため、負荷が軽くなるにつれて、スイッチング素子のスイッチング回数が増加してスイッチング損失が増加し、軽負荷時の変換効率が低下する問題点があった。したがって、例えば最大負荷時の変換効率が８５％のスイッチング電源装置でも、最小負荷時は変換効率が１０％以下に低下することも屡々である。

また、ＰＷＭ（パルス幅変調）方式のフライバック型スイッチング電源装置では、待機状態等の最小負荷時及び通常状態等の最大負荷時の何れも発振周波数が一定であるため、スイッチング素子のスイッチング損失は変化しない。しかしながら、軽負荷時においてはスイッチング損失以外の電力損失が減少するため、スイッチング損失が占める割合が大きくなり、変換効率は低下する。

上記の問題点を解決するため、例えば特開平９－１４０１２８号公報に開示されるスイッチング電源装置では、図２６に示すように、２次側に設置され且つ機器の動作状態を認識又は制御するマイクロコンピュータ(108)と、マイクロコンピュータ(108)からの制御信号を１次側へ伝達する伝達回路(109)とを備え、動作待機モード時にマイクロコンピュータ(108)によりスイッチング電源装置の発振

周波数を制御する。図26において、(101)はトランス(106)の1次巻線に流れる電流をオン・オフし且つ制御端子(101a)の電圧がスレッシュホールド電圧に達したときにオン状態となるスイッチ素子、(102)はスイッチ素子(101)をオン・オフするスイッチ素子駆動回路、(103)はスイッチ素子(101)のオン時間を制御して2次側出力電圧を安定させる1次側スイッチ素子駆動制御回路、(104)はトランス(106)の2次巻線に接続された2次側整流平滑回路、(105)はトランス(106)の1次側補助巻線に接続された1次側整流平滑回路、(106)は1次側と2次側を絶縁し且つ電磁結合によって1次側入力電圧を所望の2次側出力電圧に変換するトランス、(107)は2次側整流平滑回路(104)より出力される2次側出力電圧を検知する検知回路を示す。このスイッチング電源装置では、動作待機時、即ち軽負荷時のスイッチング損失が減少して変換効率が大幅に改善されるが、部品点数が大幅に増加して製造コストが高騰する問題点がある。また、マイクロコンピュータ等の大規模な指令装置が必要であるため、携帯型電話器(PHS等)やノート型パーソナルコンピュータ等の小型電子機器用のACアダプタに適用することは極めて困難である。

ところで、2次側の負荷の状態を検出する場合、2次側で負荷電流を検出して1次側に伝達するか又は上記のように2次側に設けられたマイクロコンピュータ等からの指令信号により1次側に伝達する方法が考えられるが、何れにしても部品点数が増加する欠点がある。よって、部品点数を最小限度に留めるには、1次側で2次側の負荷の状態を正確に検出する必要がある。1次側で2次側の負荷の状態を検出する方法としては、スイッチング素子に流れるスイッチング電流、2次側からの電圧帰還信号、又はトランスの巻線でのフライバック電圧の発生期間等を計測する方法がある。スイッチング素子に流れるスイッチング電流又はトランスの巻線電流を計測する方法は、一般的には過電流保護回路(OC P: Over Current Protector)として使用されることが多く、電流検出用の抵抗及びコンパレータ(比較器)等により構成される。しかしながら、この方法ではスイッチング素子がターンオンすると、スイッチング素子の構造上で形成される寄生容量、ノイズ対策等でスイッチング素子の端子間に挿入されるスナバ回路(スナバコンデンサ等)又はノイズ対策及びスイッチング素子の保護のためにトランスの巻線

間に挿入されるスナバ回路等により、図 27 に示すようにスイッチング素子がターンオンした瞬間に過大な容量性の短絡電流が流れる場合がある。この容量性の短絡電流は、軽負荷時及び重負荷時等の 2 次側の負荷の状態のみでは決定されないため、特に軽負荷時は容量性の短絡電流による電流ピーク値が 2 次側の負荷電流による電流ピーク値よりも大きくなることもあり、2 次側の負荷の状態を正確に検出することが困難であった。以上の理由により、前記の電流検出回路は、2 次側の負荷の状態（軽負荷か又は軽負荷より重い状態か）を検出するためではなく、スイッチング素子は何らかの不具合（例えば、2 次側回路の破損による過負荷状態又は制御系の破損による無制御状態）の場合に、スイッチング電流が流れ過ぎないようにするための保護回路、即ち過電流保護回路として使用するのが一般的であった。したがって、最少の部品点数で 2 次側の負荷の状態を 1 次側にて正確に検出し、この検出結果に基づいて最適な発振動作に切り替えることにより、スイッチング電源装置の変換効率を向上することは極めて困難であった。

そこで、本発明は 2 次側の負荷の状態を 1 次側にて正確且つ確実に検出すると共に変換効率を向上できるスイッチング電源装置を提供することを目的とする。

発明の開示

本発明によるスイッチング電源装置は、直流電源(1)と、直流電源(1)に対して直列に接続されたトランス(2)の 1 次巻線(2a)及びスイッチング素子(3)と、トランス(2)の 1 次巻線(2a)又はスイッチング素子(3)に流れる電流(I_p)を検出する電流検出手段(9)と、トランス(2)の 2 次巻線(2b)に接続され且つ直流出力電圧(V_{out})を発生する出力整流平滑回路(6)と、直流出力電圧(V_{out})が略一定となるようにスイッチング素子(3)のオン・オフ期間を制御する駆動信号(V_g)を発生する制御回路(8)とを備えている。制御回路(8)は、電流検出手段(9)の検出信号(V_{ocp})の電圧レベルと基準電圧(V_{dr})のレベルとを比較して第 1 の電圧(L)レベル又は第 2 の電圧(H)レベルの電流検出信号(V_{cp})を出力する電流比較手段(27)と、スイッチング素子(3)のオンからオフへの切り替え時にスイッチング素子(3)の制御端子に与えられる駆動信号(V_g)のエッジを検出するエッジ検出手段(28a)と、エッジ検出手段(28a)が駆動信号(V_g)のエッジを検出したときに電流比較手段(27)から電流

検出信号(V_{cp})を取り込んで出力信号(V_{ld})を発生する負荷判定手段(28b)とを有し、負荷判定手段(28b)の出力信号(V_{ld})が第1の電圧(L)レベルのときに軽負荷状態と判断し、負荷判定手段(28b)の出力信号(V_{ld})が第2の電圧(H)レベルのときに軽負荷より重い状態と判断する。スイッチング素子(3)がオンからオフに切り替わるときに負荷判定手段(28b)から出力される信号(V_{ld})の電圧レベルにより負荷状態の判断を行うため、スイッチング素子(3)のターンオン時に発生するサージ電流等の容量性の短絡電流による誤検出がなく、トランス(2)の2次側に接続される負荷の状態を1次側にて正確且つ確実に検出することができる。また、負荷状態の判断をスイッチング素子(3)がオンからオフに切り替わるタイミングで行うため、誘導ノイズ等の外来ノイズによる影響を受けにくい利点がある。

本発明の第1の実施の形態での制御回路(8)は、負荷判定手段(28b)の出力信号(V_{ld})が第1の電圧(L)レベルのときに駆動信号(V_g)の発振周波数を低下させ、負荷判定手段(28b)の出力信号(V_{ld})が第2の電圧(H)レベルのときに駆動信号(V_g)の発振周波数を増加させる発振制御手段(22)を有する。トランス(2)の1次巻線(2a)又はスイッチング素子(3)に流れる電流(I_p)が小さい軽負荷状態のときは、負荷判定手段(28b)の出力信号(V_{ld})が第1の電圧(L)レベルとなるため、発振制御手段(22)によりスイッチング素子(3)の制御端子に付与される駆動信号(V_g)の発振周波数が低下し、スイッチング素子(3)のスイッチング回数が減少する。これにより、軽負荷時でのスイッチング損失が低減され、広い負荷の範囲でスイッチング電源装置の変換効率を向上することができる。

本発明の第2の実施の形態での制御回路(8)は、負荷判定手段(28b)の出力信号(V_{ld})の電圧レベルが切り替わるときに電流検出手段(9)の検出信号(V_{ocp})の電圧ピーク値が変動する方向と同一の方向に電流比較手段(27)の基準電圧(V_{dr})のレベルを変更するか又は電流検出手段(9)の検出信号(V_{ocp})の電圧ピーク値が変動する方向とは逆の方向に前記の検出信号(V_{ocp})の電圧レベルを変更する電圧レベル変更手段(31)を有する。負荷が変動すると、駆動信号(V_g)の発振周波数が変化し、1次側に流れるスイッチング電流(I_p)の最大値が変動する。このとき、電圧レベル変更手段(31)により、電流検出手段(9)の検出信号(V_{ocp})の電圧ピーク値の変動方向と同一の方向に電流比較手段(27)の基準電圧(V_{dr})のレベルが変更されるか

又は電流検出手段(9)の検出信号(V_{ocp})の電圧ピーク値の変動方向とは逆の方向に電流検出手段(9)の検出信号(V_{ocp})の電圧レベルが変更されるので、負荷変動時のスイッチング素子(3)の発振動作の切り替えを安定に行うことができる。

本発明の第3の実施の形態での制御回路(8)は、スイッチング素子(3)のオフ期間中にスイッチング素子(3)の両主端子間電圧(V_{ds})の最小電圧点を検出するボトム検出手段(41)と、負荷判定手段(28b)の出力信号(V_{lp})が第2の電圧(H)レベルのときにボトム検出手段(41)により検出された最初の最小電圧点でスイッチング素子(3)をターンオンさせ、負荷判定手段(28b)の出力信号(V_{lp})が第1の電圧(L)レベルのときにボトム検出手段(41)により検出された2回目以降の最小電圧点でスイッチング素子(3)をターンオンさせるボトムスキップ制御手段(42)とを有する。軽負荷状態で且つ負荷判定手段(28b)の出力信号(V_{lp})が第1の電圧(L)レベルのときは、ボトムスキップ制御手段(42)によりスイッチング素子(3)の両主端子間電圧(V_{ds})の2回目以降の最小電圧点でスイッチング素子(3)がターンオンするため、スイッチング素子(3)のオフ期間が延長され、スイッチング素子(3)のスイッチング周波数が低下する。したがって、スイッチング素子(3)のスイッチング回数が減少するので、軽負荷時でのスイッチング損失を低減でき、広い負荷の範囲でスイッチング電源装置の変換効率を向上することが可能となる。即ち、軽負荷状態のときは、スイッチング素子(3)がオフした後にトランス(2)のフライバックエネルギーが比較的短期間のうちに2次巻線(2b)から整流平滑回路(6)を介して負荷に供給されるため、スイッチング素子(3)の両主端子間に自由振動分を含む狭幅の電圧パルスが発生する。このため、ボトム検出手段(41)が狭幅の電圧パルスの2回目以降の最小電圧点を検出したとき、ボトムスキップ制御手段(42)によりスイッチング素子(3)がターンオンするので、スイッチング素子(3)のオフ期間が延長され、スイッチング素子(3)のスイッチング周波数が低下する。また、軽負荷より重い状態のときは、スイッチング素子(3)がオフした後にトランス(2)のフライバックエネルギーが比較的長期間に亘り2次巻線(2b)から整流平滑回路(6)を介して負荷に供給されるため、スイッチング素子(3)の両主端子間に広幅の電圧パルスが発生する。このため、ボトム検出手段(41)が広幅の電圧パルスの最初の最小電圧点を検出したとき、ボトムスキップ制御手段(42)によりスイッチン

グ素子(3)がターンオンするので、トランス(2)のリセット期間の終了後のスイッチング素子(3)の両主端子間電圧(V_{DS})の最小電圧点(ボトム点)のときにスイッチング素子(3)をオフ状態からオン状態に切り換える擬似共振動作が行われる。また、図示の実施の形態でのボトム検出手段(41)は、スイッチング素子(3)のオフ期間中にトランス(2)の駆動巻線(2c)に発生するリンギング電圧(V_{RM})をパルス列電圧(V_{BP})に変換する波形整形手段を有し、パルス列電圧(V_{BP})の立ち下がりエッジをスイッチング素子(3)の両主端子間電圧(V_{DS})の最小電圧点として検出する。

本発明の第4の実施の形態では、電流比較手段(27)、エッジ検出手段(28a)及び負荷判定手段(28b)が複数個設けられ、複数の電流比較手段(27, 62)はそれぞれ異なる基準電圧(V_{DT1} , V_{DT2})のレベルで電流検出手段(9)の検出信号(V_{OCF})の電圧を比較し、複数の負荷判定手段(28b, 63)からそれぞれ出力される第1の電圧(L)レベルの出力信号(V_{LD1} , V_{LD2})により、駆動信号(V_G)の発振周波数をそれぞれ異なる複数の周波数で低下させる。軽負荷時に、スイッチング素子(3)の制御端子に付与される駆動信号(V_G)の発振周波数が負荷の状態に応じてそれぞれ異なる複数の周波数で低下するので、軽負荷時におけるスイッチング素子(3)の駆動信号(V_G)の発振周波数をより細密に制御してスイッチング電源装置の変換効率を更に向上することができる。

本発明の第5の実施の形態での制御回路(8)は、負荷判定手段(28b)の出力信号(V_{LD})が第1の電圧(L)レベルのとき、駆動信号(V_G)の発振周期よりも十分長い周期で一定期間(t_p)だけスイッチング素子(3)のオン・オフ動作を停止させる間欠発振制御手段(71)を有する。トランス(2)の1次巻線(2a)又はスイッチング素子(3)に流れる電流(I_p)が小さい軽負荷状態のときは、負荷判定手段(28b)の出力信号(V_{LD})が第1の電圧(L)レベルとなるため、間欠発振制御手段(71)により駆動信号(V_G)の発振周期よりも十分長い周期で一定期間(t_p)だけスイッチング素子(3)のオン・オフ動作が停止し、スイッチング素子(3)のスイッチング回数が極端に減少する。これにより、軽負荷時でのスイッチング損失が大幅に低減され、広い負荷の範囲でスイッチング電源装置の変換効率を向上することができる。

本発明の各実施の形態では、エッジ検出手段(28a)及び負荷判定手段(28b)がDフリップフロップ(28)で構成され、直流電源(1)に接続され且つ起動時に制御回

路(8)へ駆動用電力を供給する起動手段(10)と、トランス(2)の1次巻線(2a)及び2次巻線(2b)と電磁的に結合する駆動巻線(2c)と、駆動巻線(2c)に接続され且つ前記制御回路(8)を駆動する直流電圧(V_{IN})を出力する補助整流平滑回路(13)とを備えている。また、直流電源(1)に接続され且つ制御回路(8)に駆動用電力を供給する駆動電源回路を備えたスイッチング電源装置にも本発明を実施できる。更に、トランス(2)の1次巻線(2a)側の閉回路に流れる電流(I_p)を分流する分流手段(92)を有するスイッチング素子(91)を使用し、分流手段(92)により分流した電流を電流検出手段(9)により検出してもよい。

図面の簡単な説明

図1は、本発明によるスイッチング電源装置の基本概念を示すブロック回路図

図2は、本発明によるスイッチング電源装置を他励式フライバック型DC-DCコンバータに適用した第1の実施形態を示す電気回路図

図3は、図2の回路でのスイッチング電流に対するDフリップフロップの入力信号及び出力信号の波形を示すタイミングチャート

図4は、図2の回路の各部の電流及び電圧を示すタイミングチャート

図5は、本発明の第2の実施形態を示す電気回路図

図6は、図5の電圧レベル変更回路の内部構成を示す電気回路図

図7は、図5の電圧レベル変更回路の他の実施形態を示す電気回路図

図8は、図5の回路の各部の電流及び電圧を示すタイミングチャート

図9は、本発明の第3の実施形態の制御回路を示す電気回路図

図10は、図9のボトム検出回路の内部構成を示す電気回路図

図11は、軽負荷時のMOS-FETのドレイン-ソース端子間電圧に対する図10のボトム検出回路の各部の信号の波形図

図12は、図9のボトム検出回路の他の実施形態を示す電気回路図

図13は、軽負荷時のMOS-FETのドレイン-ソース端子間電圧に対する図12のボトム検出回路の各部の信号の波形図

図14は、図9の回路の各部の電流及び電圧を示すタイミングチャート

図15は、図9の負荷の割合に対する発振動作状態のヒステリシス特性を示す

グラフ

図 1 6 は、本発明の第 4 の実施形態の制御回路を示す電気回路図

図 1 7 は、図 1 6 の回路の各部の電流及び電圧を示すタイミングチャート

図 1 8 は、本発明の第 5 の実施形態を示す電気回路図

図 1 9 は、図 1 8 の回路の各部の電流及び電圧を示すタイミングチャート

図 2 0 は、図 2 の回路でのスイッチング電流を正電圧として検出する場合の実施の形態を示す電気回路図

図 2 1 は、図 2 0 の回路の各部の電流及び電圧を示すタイミングチャート

図 2 2 は、2 次側の直流出力電圧を駆動巻線側で検出する場合の実施の形態を示す電気回路図

図 2 3 は、センス MOS-FET を使用した場合の実施の形態を示す電気回路図

図 2 4 は、図 1 6 の回路にボトムスキップ制御回路を付加した場合の実施の形態を示す電気回路図

図 2 5 は、図 2 4 の回路の各部の電流及び電圧を示すタイミングチャート

図 2 6 は、従来のスイッチング電源装置を示す電気回路図

図 2 7 は、従来のスイッチング電源装置の重負荷時及び軽負荷時でのスイッチング電流を示す波形図

発明の実施するための最良の形態

以下、本発明によるスイッチング電源装置の各実施の形態を図 1 ～図 2 5 に基づいて説明する。

本発明の各実施の形態でのスイッチング電源装置の基本概念を示したブロック回路図を図 1 に示す。図 1 に示すスイッチング電源装置は、直流電源 (1) と、直流電源 (1) に対して直列に接続されたトランス (2) の 1 次巻線 (2a) 及びスイッチング素子としての MOS-FET (MOS 型電界効果トランジスタ) (3) と、トランス (2) の 2 次巻線 (2b) に接続された出力整流ダイオード (4) 及び出力平滑コンデンサ (5) から成り且つ直流出力電圧 V_{OUT} を発生する出力整流平滑回路 (6) と、直流出力電圧 V_{OUT} を検出する電圧検出手段 (出力電圧検出回路) (7) と、電圧検出手

段(7)からの検出信号 V_{FB} を受信し且つ直流出力電圧 V_{OUT} のレベルが略一定となるようにMOS-FET(3)のオン・オフ期間を制御する駆動信号 V_G を発生するオン・オフ信号発生手段(25)を有する制御回路(8)と、トランス(2)の1次巻線(2a)又はMOS-FET(3)に流れる電流 I_D を電圧として検出する電流検出手段

(電流検出用抵抗)(9)とを備えている。制御回路(8)は、電流検出手段(9)の検出信号 V_{OCP} の電圧が基準電圧 V_{DT} のレベルに達しないときに低い電圧(L)レベルの電流検出信号 V_{CP} を出力し、電流検出手段(9)の検出信号 V_{OCP} の電圧が基準電圧 V_{DT} のレベルを超えたときに高い電圧(H)レベルの電流検出信号 V_{CP} を出力する電流比較手段(電流検出用コンパレータ)(27)と、MOS-FET(3)のオンからオフへの切り替え時にMOS-FET(3)のゲート端子(制御端子)に付与される駆動信号 V_G の立ち下がりエッジを検出するエッジ検出手段(28a)と、エッジ検出手段(28a)が駆動信号 V_G の立ち下がりエッジを検出したときに電流比較手段(27)から電流検出信号 V_{CP} を取り込み出力信号 V_{LD} を発生する負荷判定手段(28b)とを有する。図1に示すスイッチング電源装置では、負荷判定手段(28b)の出力信号 V_{LD} が低い電圧(L)レベルのときに軽負荷状態と判断し、負荷判定手段(28b)の出力信号 V_{LD} が高い電圧(H)レベルのときに軽負荷より重い状態、即ち重負荷～通常負荷状態と判断する。なお、図2以降に示す各実施の形態ではエッジ検出手段(28a)及び負荷判定手段(28b)がDフリップフロップ(28)で構成される。

本発明によるスイッチング電源装置を他励式フライバック型DC-DCコンバータに適用した実施の形態を図2に示す。図2に示す実施の形態の他励式フライバック型DC-DCコンバータは、交流電源(1a)に入力フィルタ回路(1b)を介して接続された整流ブリッジ回路(1c)及び入力平滑コンデンサ(1d)で構成された直流電源(1)と、直流電源(1)に対して直列に接続されたトランス(2)の1次巻線(2a)及びMOS-FET(3)と、トランス(2)の2次巻線(2b)に接続された出力整流ダイオード(4)及び出力平滑コンデンサ(5)から成り且つ直流出力電圧 V_{OUT} を発生する出力整流平滑回路(6)と、直流出力電圧 V_{OUT} を検出する電圧検出手段としての出力電圧検出回路(7)と、出力電圧検出回路(7)からの検出信号 V_{FB} を受信し且つ出力整流平滑回路(6)の直流出力電圧 V_{OUT} が略一定となるようにMOS-FET(3)のオン・オフ期間を制御する制御回路(8)と、トランス(2)の1次巻線(2

a)又はMOS-FET(3)に流れる電流 I_D を負電圧として検出する電流検出手段としての電流検出用抵抗(9)と、直流電源(1)を構成する整流ブリッジ回路(1c)に接続され且つ起動時に制御回路(8)へ駆動用電力を供給する起動手段としての起動抵抗(10)と、トランス(2)の1次巻線(2a)及び2次巻線(2b)と電磁的に結合する駆動巻線(2c)と、駆動巻線(2c)に接続された整流ダイオード(11)及び駆動用平滑コンデンサ(12)から成り且つ制御回路(8)を駆動する直流電圧 V_{IN} を出力する補助整流平滑回路(13)とを備えている。出力電圧検出回路(7)の検出出力は、フォトカプラ(14)を構成する発光素子(14a)及び受光素子(14b)を介してトランス(2)の1次側に伝達され、受光素子(14b)及び抵抗(15)の接続点に発生する電圧 V_{FB} が出力電圧検出回路(7)からの検出信号として制御回路(8)に入力される。

制御回路(8)は、トランス(2)の1次巻線(2a)又はMOS-FET(3)に流れる最大電流値を規定する基準電圧 V_{RC} を発生する基準電圧発生手段としての基準電源(16)と、電流検出用抵抗(9)により検出された負電圧のレベルを変換するレベルシフト用抵抗(17, 18)と、レベルシフトされた電流検出用抵抗(9)の検出信号 V_{OC} の電圧レベルが基準電源(16)の基準電圧 V_{RC} のレベルに達したときにMOS-FET(3)をオフ状態にする高い電圧(H)レベルの信号 V_1 を出力する過電流制限用コンパレータ(19)と、レベルシフトされた電流検出用抵抗(9)の検出信号 V_{OC} の電圧レベルが出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達したときに高い電圧(H)レベルの信号 V_2 を出力する電流モード制御用コンパレータ(20)と、過電流制限用コンパレータ(19)の出力信号 V_1 と電流モード制御用コンパレータ(20)の出力信号 V_2 との論理和信号 V_3 を出力するORゲート(21)と、MOS-FET(3)がオフしてから一定の時間が経過する毎にパルス信号 V_4 を出力するパルス発生器(22)と、パルス発生器(22)のパルス信号 V_4 によりセット状態となりMOS-FET(3)のゲート端子に高い電圧(H)レベルの駆動信号 V_G を出力し、ORゲート(21)の論理和信号 V_3 によりリセット状態となりMOS-FET(3)のゲート端子に低い電圧(L)レベルの駆動信号 V_G を出力するR-Sフリップフロップ(23)と、起動抵抗(10)又は補助整流平滑回路(13)からの直流電圧 V_{IN} が駆動電圧に達したときに制御回路(8)を構成する各素子(16~28)に駆動用直流電力を供給し且つ直流電圧 V_{IN} が停止電圧まで低下したときに前記の各素子(16~2

8)への駆動用直流電力の供給を停止する制御電源回路(24)と、図示しない負荷の状態を判定するための電圧レベルを規定する基準電圧 V_{DT} を発生する基準電源(26)と、レベルシフトされた電流検出用抵抗(9)の検出信号 V_{OCP} の電圧レベルが基準電源(26)の基準電圧 V_{DT} のレベルに達しないときに低い電圧(L)レベルの電流検出信号 V_{CP} を出力し、検出信号 V_{OCP} の電圧レベルが基準電源(26)の基準電圧 V_{DT} のレベルを超えたときに高い電圧(H)レベルの電流検出信号 V_{CP} を出力する電流比較手段としての電流検出用コンパレータ(27)と、MOS-FET(3)のオンからオフへの切り替え時にゲート端子に付与される駆動信号 V_G の立ち下がりエッジがクロック入力端子(CLK)に入力されたとき、電流検出用コンパレータ(27)から出力された電流検出信号 V_{CP} を信号入力端子(D)を介して取り込み、電流検出信号 V_{CP} の電圧レベルと略同一の電圧レベルの出力信号 V_{LD} を信号出力端子(Q)から発生すると共に、駆動信号 V_G の立ち下がりエッジがクロック入力端子(CLK)に入力されてから再び入力されるまでの間、出力信号 V_{LD} の電圧レベルを保持するDフリップフロップ(28)とを有する。図2に示す電流モード制御用コンパレータ(20)、ORゲート(21)、パルス発生器(22)及びR-Sフリップフロップ(23)は、図1に示すオン・オフ信号発生手段(25)を構成する。パルス発生器(22)は、Dフリップフロップ(28)の出力信号 V_{LD} が低い電圧(L)レベルのときにパルス信号 V_4 の発生周期を長くすることにより、R-Sフリップフロップ(23)からMOS-FET(3)のゲート端子に付与される駆動信号 V_G のオフ時間を延長して駆動信号 V_G の発振周波数を低下させ、Dフリップフロップ(28)の出力信号 V_{LD} が高い電圧(H)レベルのときにパルス信号 V_4 の発生周期を短くすることにより、R-Sフリップフロップ(23)からMOS-FET(3)のゲート端子に付与される駆動信号 V_G のオフ時間を短縮して駆動信号 V_G の発振周波数を増加させる発振制御手段を有する。駆動信号 V_G のオフ時間、即ち低い電圧(L)レベルとなる期間は、例えば10[μ s]~50[μ s]程度の範囲で設定される。また、レベルシフトされた電流検出用抵抗(9)の検出信号 V_{OCP} の電圧レベル、即ちレベルシフト用抵抗(17, 18)の接続点電圧 V_{OCP} のレベルは、例えば起動前の状態で0[V]、起動後でMOS-FET(3)に流れる電流 I_D がゼロのときに1.5[V]となるように各抵抗(17, 18)の抵抗値を適宜選択することにより設定される。

図3(A)～(E)は、重負荷～通常負荷状態から軽負荷状態に移行する際のMOS-FET(3)のゲート端子に付与される駆動信号 V_G 、MOS-FET(3)のドレイン電流 I_D 、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} 、電流検出用コンパレータ(27)の電流検出信号 V_{CF} 及びDフリップフロップ(28)の出力信号 V_{LD} の各波形をそれぞれ示したものである。即ち、重負荷～通常負荷状態において、図3(A)に示すように時刻 t_0 にてMOS-FET(3)のゲート端子に付与される駆動信号 V_G の電圧レベルが低い電圧(L)レベルから高い電圧(H)レベルとなり、MOS-FET(3)がターンオンすると、容量性の短絡電流がMOS-FET(3)に瞬間的に流れ、図3(B)に示すようにドレイン電流 I_D が急激に増加する。これに伴って、図3(C)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が基準電源(26)の基準電圧 V_{DT} のレベル以下まで低下するため、図3(D)に示すように電流検出用コンパレータ(27)から高い電圧(H)レベルの電流検出信号 V_{CF} が出力される。その後、時刻 t_1 にてレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が基準電源(26)の基準電圧 V_{DT} のレベルより高くなると、電流検出信号 V_{CF} の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルとなる。

MOS-FET(3)がオン状態になると、図3(B)に示すようにドレイン電流 I_D が直線的に増加すると共に、図3(C)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が直線的に低下する。レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が時刻 t_2 にて基準電源(26)の基準電圧 V_{DT} のレベル以下になると、図3(D)に示すように電流検出用コンパレータ(27)の電流検出信号 V_{CF} の電圧レベルが低い電圧(L)レベルから高い電圧(H)レベルに切り替えられる。図3(A)に示すように、MOS-FET(3)のゲート端子に付与される駆動信号 V_G の電圧レベルが時刻 t_3 にて高い電圧(H)レベルから低い電圧(L)レベルになると、MOS-FET(3)がオン状態からオフ状態に切り替えられる。このとき、電流検出用コンパレータ(27)の電流検出信号 V_{CF} の電圧レベルは図3(D)に示すように高い電圧(H)レベルであるから、時刻 t_0 以前の負荷の状態が軽負荷状態であった場合は図3(E)の実線部に示すようにDフリップフロップ(28)の信号出力端子(Q)から出力される信号 V_{LD} の電圧レベルが低い電圧(L)レベルから高い電圧(H)レベルに切り替えられ、時刻 t_0 以前の負荷の状態が重負荷～通常負荷状態

であった場合は図3(E)の破線部に示すようにDフリップフロップ(28)の信号出力端子(Q)から出力される信号 V_{LD} の電圧レベルが高い電圧(H)レベルに保持される。したがって、Dフリップフロップ(28)の信号出力端子(Q)から高い電圧(H)レベルの出力信号 V_{LD} が出力されたときは重負荷～通常負荷状態と判断し、パルス発生器(22)から短い周期のパルス信号 V_4 が発生する。

MOS-FET(3)がオフ状態になると、MOS-FET(3)自身の応答遅れ又はMOS-FET(3)の浮遊容量によるミラー効果等により図3(B)に示すようにドレイン電流 I_D が緩やかに減少すると共に、図3(C)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が緩やかに上昇する。レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が時刻 t_4 にて基準電源(26)の基準電圧 V_{DT} のレベルより高くなると、図3(D)に示すように電流検出用コンパレータ(27)の電流検出信号 V_{CF} の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルに切り替えられ、時刻 t_5 にて図3(B)に示すようにドレイン電流 I_D が略ゼロとなる。

重負荷～通常負荷状態から軽負荷状態に移行するとき、図3(A)に示すように時刻 t_6 にてMOS-FET(3)のゲート端子に付与される駆動信号 V_G の電圧レベルが低い電圧(L)レベルから高い電圧(H)レベルとなり、MOS-FET(3)がターンオンすると、前述の時刻 $t_0 \sim t_1$ のときと同様に容量性の短絡電流がMOS-FET(3)に瞬間的に流れ、図3(B)に示すようにドレイン電流 I_D が急激に増加する。これに伴って、図3(C)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が基準電源(26)の基準電圧 V_{DT} のレベル以下まで低下するので、図3(D)に示すように電流検出用コンパレータ(27)から高い電圧(H)レベルの電流検出信号 V_{CF} が出力される。その後、時刻 t_7 にてレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が基準電源(26)の基準電圧 V_{DT} のレベルより高くなると、電流検出信号 V_{CF} の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルとなる。MOS-FET(3)がオン状態になると、図3(B)に示すようにドレイン電流 I_D が直線的に増加すると共に、図3(C)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が直線的に低下する。軽負荷時は、MOS-FET(3)のオン時間が重負荷～通常負荷時のオン時間 $t_0 \sim t_3$ よりも短くなるため、図3(A)に示すように比較的早い時刻 t_8 で駆動信号 V_G の電圧レベルが高い電圧(H)

レベルから低い電圧(L)レベルとなり、MOS-FET (3)がオン状態からオフ状態に切り替えられる。このため、図3 (C)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が基準電源(26)の基準電圧 V_{DT} のレベルに到達せず、電流検出用コンパレータ(27)の電流検出信号 V_{CP} は図3 (D)に示すように低い電圧(L)レベルを保持する。これにより、Dフリップフロップ(28)の信号出力端子(Q)から出力される信号 V_{LD} の電圧レベルが図3 (E)に示すように時刻 t_g にて高い電圧(H)レベルから低い電圧(L)レベルに切り替えられる。したがって、Dフリップフロップ(28)の信号出力端子(Q)から低い電圧(L)レベルの出力信号 V_{LD} が出力されたときは軽負荷状態と判断し、パルス発生器(22)から長い周期のパルス信号 V_4 が発生する。

次に、図2に示す他励式フライバック型DC-DCコンバータの動作を説明する。起動時に、直流電源(1)から起動抵抗(10)を介して補助整流平滑回路(13)の駆動用平滑コンデンサ(12)に充電電流が流れ、駆動用平滑コンデンサ(12)の充電電圧 V_{IN} が駆動電圧に達すると、制御回路(8)内の制御電源回路(24)が駆動され、制御回路(8)を構成する各素子(16~28)に駆動用直流電力が供給される。これにより、パルス発生器(22)が駆動され、パルス発生器(22)からのパルス信号 V_4 がR-Sフリップフロップ(23)のセット端子(S)に入力されると、R-Sフリップフロップ(23)がセット状態となるので、R-Sフリップフロップ(23)からMOS-FET (3)のゲート端子に高い電圧(H)レベルの駆動信号 V_G が付与され、MOS-FET (3)がオン状態となる。このとき、MOS-FET (3)に流れるドレイン電流 I_D が直線的に増加すると共に、電流検出用抵抗(9)の検出信号のレベルシフト用抵抗(17, 18)の接続点での電圧 V_{OCF} が直線的に低下する。レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が基準電源(16)の基準電圧 V_{RC} のレベルに達すると、過電流制限用コンパレータ(19)から高い電圧(H)レベルの信号 V_1 が出力される。一方、起動時の出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルは略ゼロであるから、電流モード制御用コンパレータ(20)から低い電圧(L)レベルの信号 V_2 が出力される。これにより、ORゲート(21)から高い電圧(H)レベルの論理和信号 V_3 が出力され、R-Sフリップフロップ(23)のリセット端子(R)に入力されてリセット状態となるので、R-Sフリップフロップ(23)からMOS-FET

(3)のゲート端子に低い電圧(L)レベルの駆動信号 V_G が付与されてMOS-FET (3)がオフ状態となり、MOS-FET (3)に流れるドレイン電流 I_D が略ゼロとなる。MOS-FET (3)がオフしてから一定時間が経過すると、パルス発生器(2)のパルス信号 V_4 が再びR-Sフリップフロップ(23)のセット端子(S)に入力されてセット状態となり、R-Sフリップフロップ(23)からMOS-FET (3)のゲート端子に高い電圧(H)レベルの駆動信号 V_G が付与されてMOS-FET (3)が再びオン状態となる。以上のMOS-FET (3)のオン・オフ動作の繰り返しにより、2次側の出力整流平滑回路(6)の直流出力電圧 V_{OUT} が直線的に上昇し、これに伴って駆動用平滑コンデンサ(12)の充電電圧 V_{IN} は直線的に低下するが、トランス(2)の2次巻線(2b)の電圧に比例する電圧が駆動巻線(2c)に発生するため、直流出力電圧 V_{OUT} の上昇に伴って補助整流平滑回路(13)からの直流電圧 V_{IN} が直線的に上昇する。このため、制御回路(8)内の制御電源回路(24)に印加される直流電圧 V_{IN} は停止電圧付近まで低下した後、再び直線的に上昇する。したがって、起動時以降は補助整流平滑回路(13)からの直流電圧 V_{IN} により制御回路(8)内の制御電源回路(24)が駆動される。2次側の出力整流平滑回路(6)の直流出力電圧 V_{OUT} の上昇に伴って、出力電圧検出回路(7)からの検出信号 V_{FB} の電圧も0[V]から直線的に上昇する。

出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルが基準電源(16)の基準電圧 V_{RC} のレベルよりも高くなり、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達すると、電流モード制御用コンパレータ(20)から高い電圧(H)レベルの信号 V_2 が出力される。一方、過電流制限用コンパレータ(19)からは低い電圧(L)レベルの信号 V_1 が出力されるので、ORゲート(21)から高い電圧(H)レベルの論理和信号 V_3 が出力され、R-Sフリップフロップ(23)のリセット端子(R)に入力されてリセット状態となる。これにより、R-Sフリップフロップ(23)からMOS-FET (3)のゲート端子に低い電圧(L)レベルの駆動信号 V_G が付与されてMOS-FET (3)がオフ状態となるため、MOS-FET (3)に流れるドレイン電流 I_D が略ゼロとなる。このとき、トランス(2)の2次巻線(2b)から出力整流平滑回路(6)を介して図示しない負荷に出力電流 I_{OUT} が流れ、直線的に増加して行く。そして、2次側の出

力整流平滑回路(6)の直流出力電圧 V_{OUT} が出力電圧検出回路(7)を構成する各素子の諸定数で決定される検出電圧(例えば、出力端子間の分圧抵抗の分圧比を $R_2/(R_1+R_2)$ 、ツェナダイオードのツェナ電圧を $V_Z[V]$ 、NPNトランジスタのベース・エミッタ間の電圧を $V_{BE}(0.6\sim0.7\text{程度})[V]$ とすると、 $\{(R_1+R_2)/R_2\}\times(V_Z+V_{BE})[V]$)に達したとき、起動状態から通常動作状態に移行し、補助整流平滑回路(13)からの直流電圧 V_{IN} が略一定になると共に、2次側の出力整流平滑回路(6)の直流出力電圧 V_{OUT} 及び負荷へ流れる出力電流 I_{OUT} が略一定となる。

通常の負荷状態において、R-Sフリップフロップ(23)からMOS-FET(3)のゲート端子に図4(B)に示す高い電圧(H)レベルの駆動信号 V_G が付与され、MOS-FET(3)がオン状態になると、図4(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が直線的に増加すると共に、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が図4(D)に示すように直線的に低下する。ここで、図4(D)に示すように通常負荷時の出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルは基準電源(26)の基準電圧 V_{DT} のレベルより低いため、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} は基準電源(26)の基準電圧 V_{DT} のレベルを超えて出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルまで低下する。このため、電流検出用コンパレータ(27)から高い電圧(H)レベルの電流検出信号 V_{CF} が出力される。そして、図4(D)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達すると、電流モード制御用コンパレータ(20)から高い電圧(H)レベルの信号 V_2 が出力される。一方、過電流制限用コンパレータ(19)からは低い電圧(L)レベルの信号 V_1 が出力されるため、ORゲート(21)から高い電圧(H)レベルの論理和信号 V_3 が出力され、R-Sフリップフロップ(23)のリセット端子(R)に入力されてリセット状態となる。これにより、図4(B)に示すようにR-Sフリップフロップ(23)からMOS-FET(3)のゲート端子に付与される駆動信号 V_G の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルとなり、MOS-FET(3)がオン状態からオフ状態に切り替わるため、図4(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が略ゼロとなる。このとき、Dフリップフロップ(28)の

クロック入力端子(CLK)に図4(B)に示す駆動信号 V_G の立ち下がりエッジ(矢印)が入力されると共に、信号入力端子(D)に電流検出用コンパレータ(27)からの高い電圧(H)レベルの電流検出信号 V_{CP} が入力されるので、信号出力端子(Q)から出力される信号 V_{LD} の電圧レベルが図4(C)に示すように高い電圧(H)レベルに保持される。したがって、パルス発生器(22)から出力されるパルス信号 V_4 の周期が短くなるので、MOS-FET(3)のオフ期間が短縮され、発振周波数が増加する。

図示しない負荷が軽くなると、2次側の出力整流平滑回路(6)の直流出力電圧 V_{OUT} が上昇すると共に、図4(D)に示すように出力電圧検出回路(7)からの検出信号 V_{FB} の電圧が直線的に上昇して基準電源(26)の基準電圧 V_{DT} のレベルより高くなる。軽負荷状態において、R-Sフリップフロップ(23)からMOS-FET(3)のゲート端子に図4(B)に示す高い電圧(H)レベルの駆動信号 V_G が付与され、MOS-FET(3)がオン状態になると、図4(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が直線的に増加すると共に、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} が図4(D)に示すように出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルまで直線的に低下する。ここで、図4(D)に示すように軽負荷時の出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルは基準電源(26)の基準電圧 V_{DT} のレベルより高いため、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} は基準電源(26)の基準電圧 V_{DT} のレベルに到達しない。このため、電流検出用コンパレータ(27)から低い電圧(L)レベルの電流検出信号 V_{CP} が出力される。図4(D)に示すように、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達すると、電流モード制御用コンパレータ(20)から高い電圧(H)レベルの信号 V_2 が出力される。一方、過電流制限用コンパレータ(19)からは低い電圧(L)レベルの信号 V_1 が出力されるため、ORゲート(21)から高い電圧(H)レベルの論理和信号 V_3 が出力され、R-Sフリップフロップ(23)のリセット端子(R)に入力されてリセット状態となる。これにより、図4(B)に示すようにR-Sフリップフロップ(23)からMOS-FET(3)のゲート端子に付与される駆動信号 V_G の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルとなり、MOS-FET(3)がオン状態からオ

フ状態に切り替わるため、図4(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が略ゼロとなる。このとき、Dフリップフロップ(28)のクロック入力端子(CLK)に図4(B)に示す駆動信号 V_G の立ち下がりエッジ(矢印)が入力されると共に、信号入力端子(D)に電流検出用コンパレータ(27)からの低い電圧(L)レベルの電流検出信号 V_{CP} が入力されるので、信号出力端子(Q)から出力される信号 V_{LD} の電圧レベルが図4(C)に示すように高い電圧(H)レベルから低い電圧(L)レベルとなる。したがって、パルス発生器(22)から出力されるパルス信号 V_4 の周期が長くなるので、MOS-FET(3)のオフ期間が延長され、発振周波数が低下する。

本実施の形態では、MOS-FET(3)がオン状態からオフ状態に切り替わる時にDフリップフロップ(28)から出力される信号 V_{LD} の電圧レベルにより負荷状態の判断を行うため、MOS-FET(3)のターンオン時に発生するサージ電流等の容量性の短絡電流による誤検出がなく、トランス(2)の2次側に接続される負荷の状態を1次側にて正確且つ確実に検出することができる。また、負荷状態の判断をMOS-FET(3)がオン状態からオフ状態に切り替わるタイミングで行うため、誘導ノイズ等の外来ノイズによる影響を受けにくい利点がある。更に、トランス(2)の1次巻線(2a)又はMOS-FET(3)に流れる電流 I_D が小さい軽負荷状態のときは、Dフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが低い電圧(L)レベルとなり、パルス発生器(22)から出力されるパルス信号 V_4 の発生周期が延長される。このため、MOS-FET(3)のオフ期間が長くなり、MOS-FET(3)のゲート端子に付与される駆動信号 V_G の周波数が低下するので、MOS-FET(3)のスイッチング回数が減少する。これにより、軽負荷時でのスイッチング損失が低減され、広い負荷の範囲でスイッチング電源装置の変換効率を向上することができる。

上記の実施の形態は変更が可能である。例えば、図5に示す実施の形態の他励式フライバック型DC-DCコンバータでは、Dフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが切り替わる時にレベルシフト用抵抗(17, 18)の接続点電圧 V_{OCP} のピーク値が変動する方向と同一の方向に基準電源(26)の基準電圧 V_{DT} のレベルを変更する電圧レベル変更手段としての電圧レベル変更回路(31)を図2

に示す制御回路(8)内に設けている。電圧レベル変更回路(31)は、図6に示すように、一端が基準電源(16)の正(+)側に接続された分圧抵抗(32)と、分圧抵抗(32)の他端と基準電源(16)の負(-)側との間に直列に接続された分圧抵抗(33)及びNPNトランジスタ(34)と、Dフリップフロップ(28)の信号出力端子(Q)とNPNトランジスタ(34)のベース端子との間に接続された反転器(35)とから構成される。このため、図8(C)に示すDフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが高い電圧(H)レベルのときは、NPNトランジスタ(34)がオフ状態であるから、分圧抵抗(32, 33)の分圧点から図8(D)に示す高い値の基準電圧 V_{DTH} を発生する。図8(C)に示すDフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルに切り替わったときは、NPNトランジスタ(34)がオン状態となるので、分圧抵抗(32, 33)の分圧点から図8(D)に示す低い値の基準電圧 V_{DTL} を発生する。負荷が軽くなり、図8(C)に示すようにDフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルに切り替わると、図8(B)に示すように駆動信号 V_G の低い電圧(L)レベルの期間が延長されて発振周波数が低下するため、図8(A)に示すようにMOS-FET(3)に流れる電流 I_D の最大値が若干高くなる。これに伴って、図8(D)に示すようにレベルシフト用抵抗(17, 18)の接続点電圧 V_{OCP} のピーク値が若干下方へ移動する。このとき、電圧レベル変更回路(31)のNPNトランジスタ(34)がオン状態となり、分圧抵抗(32, 33)の分圧点の電圧が図8(D)に示すように高い値の基準電圧 V_{DTH} から低い値の基準電圧 V_{DTL} に切り替わるので、切替後のDフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが安定し、負荷変動時のMOS-FET(3)の発振動作の切り替えを安定に行うことができる。

図7は、Dフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが切り替わる時にレベルシフト用抵抗(17, 18)の接続点電圧 V_{OCP} のピーク値が変動する方向とは逆の方向に同電圧 V_{OCP} のレベルを変更する場合の電圧レベル変更回路(31)の実施の形態を示す。図7に示す電圧レベル変更回路(31)は、一方のレベルシフト用抵抗(17)の両端に直列に接続されたPNPトランジスタ(36)及び抵抗(37)から構成され、Dフリップフロップ(28)からPNPトランジスタ(36)のベース端子に低い電圧(L)レベルの出力信号 V_{LD} が付与されたときにレベルシフト用抵抗(17,

18)の接続点電圧 V_{OCP} のレベルを上昇させる。即ち、負荷が軽くなり、図8(C)に示すようにDフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルに切り替わると、PNPトランジスタ(36)がオン状態となり、一方のレベルシフト用抵抗(17)と並列に抵抗(37)が接続された状態となるため、レベルシフト用抵抗(17, 18)の接続点電圧 V_{OCP} のレベルが上昇する。したがって、図6の場合と同様に、切替後のDフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが安定し、負荷変動時のMOS-FET(3)の発振動作の切り替えを安定に行うことができる。

図9は、MOS-FET(3)のオフ期間中にMOS-FET(3)のドレイン-ソース端子間電圧 V_{DS} の最小電圧点を検出するボトム検出手段としてのボトム検出回路(41)と、Dフリップフロップ(28)の出力信号 V_{LD} が高い電圧(H)レベルのときにボトム検出回路(41)により検出された最初の最小電圧点でMOS-FET(3)をターンオンさせ、Dフリップフロップ(28)の出力信号 V_{LD} が低い電圧(L)レベルのときにボトム検出回路(41)により検出された2回目の最小電圧点でMOS-FET(3)をターンオンさせるボトムスキップ制御手段としてのボトムスキップ制御回路(42)とを図5に示す他励式フライバック型DC-DCコンバータの制御回路(8)に設けた実施の形態を示す。ボトム検出回路(41)は、図10に示すように、トランス(2)の駆動巻線(2c)の両端に直列に接続されたダイオード(43)及び分圧抵抗(44, 45)と、一方の分圧抵抗(45)と並列に接続されたコンデンサ(46)と、閾値電圧 V_{TH} を発生する基準電源(47)と、コンデンサ(46)の充電電圧 V_{BM} が基準電源(47)の閾値電圧 V_{TH} のレベルより低いときに低い(L)レベルの出力電圧 V_{BD} を発生し、コンデンサ(46)の充電電圧 V_{BM} が基準電源(47)の閾値電圧 V_{TH} のレベルより高いときに高い(H)レベルの出力電圧 V_{BD} を発生するコンパレータ(48)とから構成される。即ち、図10に示すボトム検出回路(41)は、MOS-FET(3)のオフ期間中にトランス(2)の駆動巻線(2c)に発生するMOS-FET(3)のドレイン-ソース端子間電圧 V_{DS} (図11(A)に図示)と相似なリングング電圧をダイオード(43)、分圧抵抗(44, 45)及びコンデンサ(46)により図11(C)に示すように波形整形し、図11(C)に示すコンデンサ(46)の充電電圧 V_{BM} と基準電源(47)の閾値電圧 V_{TH} とをコンパレータ(48)で比較することにより図11(D)に示すパ

ルス列電圧 V_{BD} に変換する波形整形手段を構成する。このため、図 1 1 (A) ~ (D) に示すように、コンパレータ (48) から出力されるパルス列電圧 V_{BD} の立ち下がりエッジを MOS-FET (3) のドレイン-ソース端子間電圧 V_{DS} の最小電圧点として検出することができる。

また、ボトム検出回路 (41) は図 1 2 に示すように構成することもできる。図 1 2 に示すボトム検出回路 (41) は、トランス (2) の駆動巻線 (2c) の両端に接続された分圧抵抗 (44, 45) と、閾値電圧 V_{TH} を発生する基準電源 (47) と、分圧抵抗 (44, 45) の分圧点の電圧 V_{BM} が基準電源 (47) の閾値電圧 V_{TH} のレベルより低いときに低い (L) レベルの出力電圧 V_{BD} を発生し、分圧抵抗 (44, 45) の分圧点の電圧 V_{BM} が基準電源 (47) の閾値電圧 V_{TH} のレベルより高いときに高い (H) レベルの出力電圧 V_{BD} を発生するコンパレータ (48) と、コンパレータ (48) の出力から形成されるパルス列電圧 V_{BD} を一定時間 t_D だけ遅延させる遅延回路 (49) とから構成される。即ち、図 1 2 に示すボトム検出回路 (41) は、MOS-FET (3) のオフ期間中にトランス (2) の駆動巻線 (2c) に発生する MOS-FET (3) のドレイン-ソース端子間電圧 V_{DS} (図 1 3 (A) に図示) と相似なリングング電圧を分圧抵抗 (44, 45) により分圧し、図 1 3 (C) に示す分圧抵抗 (44, 45) の分圧点の電圧 V_{BM} と基準電源 (47) の閾値電圧 V_{TH} とをコンパレータ (48) で比較することにより図 1 3 (D) に示すパルス列電圧 V_{BD} に変換し、コンパレータ (48) からのパルス列電圧 V_{BD} を遅延回路 (49) にて一定時間 t_D だけ遅延させることにより、図 1 3 (A) ~ (D) に示すようにコンパレータ (48) から出力されるパルス列電圧 V_{BD} の立ち下がりエッジを MOS-FET (3) のドレイン-ソース端子間電圧 V_{DS} の最小電圧点に一致させる。これにより、図 1 2 に示すボトム検出回路 (41) でもコンパレータ (48) から出力されるパルス列電圧 V_{BD} の立ち下がりエッジを MOS-FET (3) のドレイン-ソース端子間電圧 V_{DS} の最小電圧点として検出することができる。

ボトムスキップ制御回路 (42) は、図 9 に示すように、MOS-FET (3) の駆動信号 V_G の立ち上がりによってリセットされるリセット端子 (R) を有する第 1 及び第 2 の D フリップフロップ (50, 51) を有する。ボトム検出回路 (41) の出力信号 V_{BD} は第 1 及び第 2 の D フリップフロップ (50, 51) のクロック入力端子 (CLK) に入力され、第 1 の D フリップフロップ (50) の信号入力端子 (D) は高い電圧 (H) レベル

(REG) に保持され、第2のDフリップフロップ(51)の信号入力端子(D)は第1のDフリップフロップ(50)の信号出力端子(Q)に接続され、ORゲート(53)の各入力端子は第2のDフリップフロップ(51)の信号出力端子(Q)とパルス発生器(22)及びANDゲート(52)の各出力端子に接続されている。ANDゲート(52)の一方の入力端子は第1のDフリップフロップ(50)の信号出力端子(Q)に接続され、他方の入力端子はDフリップフロップ(28)の信号出力端子(Q)に接続されている。ORゲート(53)の出力端子はR-Sフリップフロップ(23)のセット端子(S)に接続されている。クロック入力端子(CLK)に入力されるボトム検出回路(41)の1回目の出力信号 V_{BD} の立ち下がりエッジに同期して第1のDフリップフロップ(50)の出力信号 V_{DF1} の出力レベルが高い電圧(H)レベルとなる。クロック入力端子(CLK)に入力されるボトム検出回路(41)の2回目の出力信号 V_{BD} の立ち下がりエッジに同期して第2のDフリップフロップ(51)の出力信号 V_{DF2} の出力レベルが高い電圧(H)レベルとなる。図9に示すボトムスキップ制御回路(42)は、重負荷～通常負荷時はDフリップフロップ(28)の出力信号 V_{LD} が高い電圧(H)レベルであり、クロック入力端子(CLK)に入力されるボトム検出回路(41)の1回目の出力信号 V_{BD} の立ち下がりエッジに同期して出力される第1のDフリップフロップ(50)の出力信号 V_{DF1} が高い電圧(H)レベルであるから、ANDゲート(52)の出力信号 V_{AD} は高い電圧(H)レベルとなる。ANDゲート(52)の出力信号 V_{AD} はORゲート(53)を介してR-Sフリップフロップ(23)のセット端子(S)に入力され、MOS-FET(3)のゲート端子に付与される駆動信号 V_G が高い電圧(H)レベルとなる。これにより、重負荷～通常負荷時はボトム検出回路(41)により検出された最初の最小電圧点でMOS-FET(3)をターンオンさせることができる。また、軽負荷時はDフリップフロップ(28)の出力信号 V_{LD} が低い電圧(L)レベルであるから、ANDゲート(52)の出力信号 V_{AD} は低い電圧(L)レベルとなり、R-Sフリップフロップ(23)をセット状態にすることができない。一方、クロック入力端子(CLK)に入力されるボトム検出回路(41)の2回目の出力信号 V_{BD} の立ち下がりエッジに同期して第2のDフリップフロップ(51)の出力信号 V_{DF2} の出力レベルが高い電圧(H)レベルとなるため、ORゲート(53)を介してR-Sフリップフロップ(23)のセット端子(S)に入力され、MOS-FET(3)のゲート端子に付与される駆

動信号 V_G が高い電圧 (H) レベルとなる。これにより、軽負荷時はボトム検出回路 (41) により検出された 2 回目の最小電圧点で MOS-FET (3) をターンオンさせることができる。

図 9 に示す構成の制御回路 (8) を有する他励式フライバック型 DC-DC コンバータの動作は以下の通りである。重負荷～通常負荷状態のときは、図 14 (D) に示すように D フリップフロップ (28) の出力信号 V_{LD} が高い電圧 (H) レベルであると共に、図 14 (C) に示すボトム検出回路 (41) の出力信号 V_{BD} の 1 回目の立ち下がりエッジに同期してボトムスキップ制御回路 (42) の第 1 の D フリップフロップ (50) の信号出力端子 (Q) から単発パルス状の信号 V_{DF1} が出力される。このため、ボトム検出回路 (41) の出力信号 V_{BD} の 1 回目の立ち下がりエッジに同期して高い電圧 (H) レベルまで上昇する単発パルス状の論理積信号 V_{AD} が AND ゲート (52) から出力される。また、ボトムスキップ制御回路 (42) の第 2 の D フリップフロップ (51) の信号出力端子 (Q) からは低い電圧 (L) レベルの信号 V_{DF2} が出力されるため、OR ゲート (53) からはボトム検出回路 (41) の出力信号 V_{BD} の 1 回目の立ち下がりエッジに同期して高い電圧 (H) レベルまで上昇する単発パルス状の論理和信号 V_{OR} が出力され、R-S フリップフロップ (23) がセット状態となる。これにより、図 14 (C) 及び (B) に示すようにボトム検出回路 (41) の出力信号 V_{BD} の 1 回目の立ち下がりエッジに同期して R-S フリップフロップ (23) から MOS-FET (3) のゲート端子に付与される駆動信号 V_G が低い電圧 (L) レベルから高い電圧 (H) レベルに切り替えられ、MOS-FET (3) がターンオンする。このとき、図 14 (A) に示すように MOS-FET (3) に流れるドレイン電流 I_D が直線的に増加すると共に、図 14 (E) に示すようにレベルシフト用抵抗 (17, 18) の接続点の電圧 V_{ocp} が高い値の基準電圧 V_{DTH} のレベルを越えて直線的に低下する。レベルシフト用抵抗 (17, 18) の接続点の電圧 V_{ocp} が出力電圧検出回路 (7) からの検出信号 V_{FB} の電圧レベルに達すると、電流モード制御用コンパレータ (20) から高い電圧 (H) レベルの信号 V_2 が出力され、R-S フリップフロップ (23) がリセット状態となる。これにより、図 14 (B) に示すように R-S フリップフロップ (23) から MOS-FET (3) のゲート端子に付与される駆動信号 V_G が高い電圧 (H) レベルから低い電圧 (L) レベルに切り替えられ、MOS-FET (3) がオン状態からオフ

状態となる。したがって、重負荷～通常負荷時はトランス(2)のフライバックエネルギーの放出が終了してMOS-FET(3)のドレイン-ソース端子間電圧 V_{DS} の最小電圧点(ボトム点)に達すると同時にMOS-FET(3)がターンオンする擬似共振動作となる。

負荷が軽くなり、図14(D)に示すようにDフリップフロップ(28)の出力信号 V_{LD} の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルに切り替わると、図14(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D の最大値が若干高くなると共に、図14(E)に示すようにレベルシフト用抵抗(17, 18)の接続点電圧 V_{OCP} のピーク値が若干下方へ移動する。このとき、電流検出用コンパレータ(27)の非反転入力端子(+)に入力される基準電圧が電圧レベル変更回路(31)により図14(E)に示すように高い値の基準電圧 V_{DTH} から低い値の基準電圧 V_{DTL} に切り替えられる。これと共に、図14(C)に示すボトム検出回路(41)の出力信号 V_{BD} の2回目の立ち下がりエッジに同期してボトムスキップ制御回路(42)の第2のDフリップフロップ(51)の信号出力端子(Q)から単発パルス状の信号 V_{DF2} が出力される。また、ANDゲート(52)からは低い電圧(L)レベルの信号 V_{AD} が出力されるため、ORゲート(53)からはボトム検出回路(41)の出力信号 V_{BD} の2回目の立ち下がりエッジに同期して高い電圧(H)レベルまで上昇する単発パルス状の論理和信号 V_{OR} が出力され、R-Sフリップフロップ(23)がセット状態となる。これにより、図14(C)及び(B)に示すようにボトム検出回路(41)の出力信号 V_{BD} の2回目の立ち下がりエッジに同期してR-Sフリップフロップ(23)からMOS-FET(3)のゲート端子に付与される駆動信号 V_G が低い電圧(L)レベルから高い電圧(H)レベルに切り替えられ、MOS-FET(3)がターンオンする。これにより、図14(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が直線的に増加すると共に、図14(E)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} が直線的に低下する。このとき、図14(E)に示すように出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルが低い値の基準電圧 V_{DTL} のレベルよりも高いため、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} は低い値の基準電圧 V_{DTL} のレベルには到達しない。レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レ

ベルに達すると、電流モード制御用コンパレータ(20)から高い電圧(H)レベルの信号 V_2 が出力され、R-Sフリップフロップ(23)がリセット状態となる。これにより、図14(B)に示すようにR-Sフリップフロップ(23)からMOS-FET(3)のゲート端子に付与される駆動信号 V_g が高い電圧(H)レベルから低い電圧(L)レベルに切り替えられ、MOS-FET(3)がオン状態からオフ状態となる。したがって、軽負荷時はMOS-FET(3)のオフ期間中に発生するドレインソース端子間電圧 V_{ds} の2回目の最小電圧点でMOS-FET(3)がターンオンするボトムスキップ動作となる。

図9に示す制御回路(8)を有する他励式フライバック型DC-DCコンバータの負荷の割合に対する発振動作状態の遷移図を図15に示す。ここで、負荷の割合とはコンバータが負荷に出力できる電力に対して負荷で消費される電力の割合を示す。負荷の割合が50~100[%]のときは通常負荷~重負荷状態であることを示し、擬似共振動作が行われる。また、負荷の割合が0~70[%]のときは通常負荷~軽負荷状態であることを示し、ボトムスキップ動作が行われる。負荷が軽くなり、負荷の割合が100[%]から50[%]に低下すると、擬似共振動作からボトムスキップ動作に移行し、負荷待機時等の無負荷状態、即ち負荷の割合が0[%]となるまでボトムスキップ動作が行われる。負荷待機時等の無負荷状態から負荷が重くなり、負荷の割合が0[%]から70[%]まで増加すると、ボトムスキップ動作から擬似共振動作に移行し、重負荷状態、即ち負荷の割合が100[%]となるまで擬似共振動作が行われる。したがって、上記の発振動作状態の遷移の軌跡をグラフで表すと図15に示すようにヒステリシス特性を描く。なお、図15に示すボトムスキップ動作をスイッチング周波数低減動作に置き換えれば、図5に示す他励式フライバック型DC-DCコンバータの発振動作状態の遷移図となる。

図9に示す実施の形態では、軽負荷状態のとき、ボトムスキップ制御回路(42)によりMOS-FET(3)のドレインソース端子間電圧 V_{ds} の2回目の最小電圧点でMOS-FET(3)がターンオンするため、MOS-FET(3)のオフ期間が延長され、MOS-FET(3)のスイッチング周波数が低下する。したがって、MOS-FET(3)のスイッチング回数が減少するので、軽負荷時でのスイッチング損

失を低減でき、広い負荷の範囲でスイッチング電源装置の変換効率を向上することが可能となる。即ち、軽負荷状態のときは、MOS-FET (3) がオフした後にトランス (2) のフライバックエネルギーが比較的短期間のうちに 2 次巻線 (2b) から整流平滑回路 (6) を介して図示しない負荷に供給されるため、図 11 (A) 又は図 13 (A) に示すように MOS-FET (3) のドレイン-ソース端子間に自由振動分を含む狭幅の電圧パルス V_{DS} が発生する。このため、軽負荷時は、ボトム検出回路 (41) が狭幅の電圧パルス V_{DS} の 2 回目の最小電圧点を検出したときにボトムスキップ制御回路 (42) により MOS-FET (3) がターンオンするボトムスキップ動作が行われるので、MOS-FET (3) のオフ期間が延長され、発振周波数が低下する。また、重負荷～通常負荷状態のときは、MOS-FET (3) がオフした後にトランス (2) のフライバックエネルギーが比較的長期間に亘り 2 次巻線 (2b) から整流平滑回路 (6) を介して図示しない負荷に供給されるため、MOS-FET (3) のドレイン-ソース端子間に広幅の電圧パルス V_{DS} が発生する。このため、ボトム検出回路 (41) が広幅の電圧パルス V_{DS} の最初の最小電圧点を検出したとき、ボトムスキップ制御回路 (42) により MOS-FET (3) がターンオンするので、トランス (2) のフライバックエネルギーの放出が終了して MOS-FET (3) のドレイン-ソース端子間電圧 V_{DS} の最小電圧点 (ボトム点) に達した時点で MOS-FET (3) をオフ状態からオン状態に切り替える通常の擬似共振動作が行われる。

図 16 は、図 2 に示す制御回路 (8) を構成する基準電源 (26)、電流検出用コンパレータ (27) 及び D フリップフロップ (28) に並行してもう一組の基準電源 (61)、電流検出用コンパレータ (62) 及び D フリップフロップ (63) を設け、2 つの電流検出用コンパレータ (27, 62) によりレベルシフト用抵抗 (17, 18) の接続点の電圧 V_{ocP} をそれぞれ異なる基準電源 (26, 61) の基準電圧 V_{DT1} , V_{DT2} のレベルで比較し、軽負荷時又は極軽負荷時に 2 つの D フリップフロップ (28, 63) からそれぞれ出力される低い電圧 (L) レベルの出力信号 V_{LD1} , V_{LD2} でパルス発生器 (22) のパルス信号 V_4 の発生周期を可変することにより、R-S フリップフロップ (23) から出力される駆動信号 V_G の発振周波数をそれぞれ異なる 2 つの周波数で低下させる他励式フライバック型 DC-DC コンバータの制御回路 (8) の実施の形態を示す。ここで、他方の基準電源 (61) の基準電圧 V_{DT2} は一方の基準電源 (26) の基準電圧

V_{DT1} よりも高い値に設定される。図16に示す実施の形態の他励式フライバック型DC-DCコンバータでは、重負荷～通常負荷状態のときは、図17(E)に示すように出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルが一方の基準電源(26)の基準電圧 V_{DT1} よりも低いため、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} は2つの基準電源(26, 61)の基準電圧 V_{DT1} , V_{DT2} のレベルを超えて出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルまで直線的に低下する。このため、2つの電流検出用コンパレータ(27, 62)からそれぞれ高い電圧(H)レベルの電流検出信号 V_{CP1} , V_{CP2} が出力される。そして、図17(E)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達すると、図17(B)に示すようにR-Sフリップフロップ(23)からMOS-FET(3)のゲート端子に付与される駆動信号 V_G の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルとなり、MOS-FET(3)がオン状態からオフ状態に切り替わるため、図17(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が略ゼロとなる。このとき、2つのDフリップフロップ(28, 63)のクロック入力端子(CLK)に図17(B)に示す駆動信号 V_G の立ち下がりエッジ(矢印)が入力されると同時に、それぞれの信号入力端子(D)に各電流検出用コンパレータ(27, 62)からの高い電圧(H)レベルの電流検出信号 V_{CP1} , V_{CP2} が入力されるので、それぞれの信号出力端子(Q)から出力される信号 V_{LD1} , V_{LD2} の電圧レベルが図17(C)及び(D)に示すように高い電圧(H)レベルに保持される。したがって、重負荷～通常負荷時はパルス発生器(22)から出力されるパルス信号 V_4 の周期が短くなるので、MOS-FET(3)のオフ期間が短縮され、発振周波数が増加する。

負荷が軽くなり、軽負荷状態になると、図17(E)に示すように出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルが一方の基準電源(26)の基準電圧 V_{DT1} のレベルよりも高く且つ他方の基準電源(61)の基準電圧 V_{DT2} のレベルよりも低くなるため、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} は他方の基準電源(61)の基準電圧 V_{DT2} のレベルを超えて直線的に低下するが、一方の基準電源(26)の基準電圧 V_{DT1} のレベルには到達しない。このため、一方の電流検出用コンパレータ(27)から低い電圧(L)レベルの電流検出信号 V_{CP1} が出力されると共に、

他方の電流検出用コンパレータ(61)から高い電圧(H)レベルの電流検出信号 V_{CP2} が出力される。図17(D)に示すように、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達すると、図17(B)に示すように駆動信号 V_G の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルとなり、MOS-FET(3)がオン状態からオフ状態に切り替わるため、図17(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が略ゼロとなる。このとき、2つのDフリップフロップ(28, 63)のクロック入力端子(CLK)に図17(B)に示す駆動信号 V_G の立ち下がりエッジ(矢印)が入力されると同時に、一方のDフリップフロップ(28)の信号入力端子(D)に一方の電流検出用コンパレータ(27)からの低い電圧(L)レベルの電流検出信号 V_{CP1} が入力され、他方のDフリップフロップ(61)の信号入力端子(D)に他方の電流検出用コンパレータ(62)からの高い電圧(H)レベルの電流検出信号 V_{CP2} が入力されるので、一方のDフリップフロップ(28)の信号出力端子(Q)から出力される信号 V_{LD1} の電圧レベルが図17(C)に示すように高い電圧(H)レベルから低い電圧(L)レベルに切り替えられると共に、他方のDフリップフロップ(63)の信号出力端子(Q)から出力される信号 V_{LD2} の電圧レベルが図17(D)に示すように高い電圧(H)レベルに保持される。したがって、軽負荷時はパルス発生器(22)から出力されるパルス信号 V_4 の周期が長くなるので、MOS-FET(3)のオフ期間が延長され、発振周波数が低下する。

軽負荷状態よりも更に負荷が軽くなり、極軽負荷状態になると、図17(E)に示すように出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルが他方の基準電源(61)の基準電圧 V_{DT2} のレベルよりも高くなるため、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} は他方の基準電源(61)の基準電圧 V_{DT2} のレベルに到達しない。このため、2つの電流検出用コンパレータ(27, 62)からそれぞれ低い電圧(L)レベルの電流検出信号 V_{CP1} , V_{CP2} が出力される。図17(D)に示すように、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCF} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達すると、図17(B)に示すように駆動信号 V_G の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルとなり、MOS-FET(3)がオン状態からオフ状態に切り替わるため、図17(A)に示すようにM

MOS-FET (3)に流れるドレイン電流 I_D が略ゼロとなる。このとき、2つのDフリップフロップ(28, 63)のクロック入力端子(CLK)に図17(B)に示す駆動信号 V_G の立ち下がりエッジ(矢印)が入力されると同時に、それぞれの信号入力端子(D)に各電流検出用コンパレータ(27, 62)からの低い電圧(L)レベルの電流検出信号 V_{CP1} , V_{CP2} が入力されるので、一方のDフリップフロップ(28)の信号出力端子(Q)から出力される信号 V_{LD1} の電圧レベルが図17(C)に示すように低い電圧(L)レベルに保持されると共に、他方のDフリップフロップ(63)の信号出力端子(Q)から出力される信号 V_{LD2} の電圧レベルが図17(D)に示すように高い電圧(H)レベルから低い電圧(L)レベルに切り替えられる。したがって、極軽負荷時はパルス発生器(22)から出力されるパルス信号 V_4 の周期が軽負荷時よりも長くなるので、MOS-FET (3)のオフ期間が更に延長されて発振周波数が軽負荷時よりも更に低下する。

図16に示す実施の形態では、軽負荷時及び極軽負荷時においてMOS-FET (3)のゲート端子に付与される駆動信号 V_G の発振周波数がそれぞれ異なる2つの周波数で低下するので、MOS-FET (3)の駆動信号 V_G の発振周波数をより細密に制御してスイッチング電源装置の変換効率を更に向上することができる。

図18は、Dフリップフロップ(28)の出力信号 V_{LD} が低い電圧(L)レベルのとき、駆動信号 V_G の発振周期よりも十分長い周期で一定期間 t_B だけMOS-FET (3)のオン・オフ動作を停止させる間欠発振制御手段としての間欠発振制御回路(71)を図2に示す制御回路(8)に設けた他励式フライバック型DC-DCコンバータの実施の形態を示す。なお、図18に示す実施の形態では、セット端子(S)及びリセット端子(R)の双方に高い電圧(H)レベルの信号が同時に入力されたとき、リセット端子(R)の入力を優先して出力するリセット優先型R-Sフリップフロップ(72)が使用される。間欠発振制御回路(71)は、図19(C)及び(D)に示すようにDフリップフロップ(28)から低い電圧(L)レベルの出力信号 V_{LD} が入力されたときに、駆動信号 V_G の発振周期(例えば10~50[μ s]程度)よりも十分長い周期(例えば1~100[ms]程度)で一定期間 t_B だけ高い電圧(H)レベルの出力信号 V_5 をORゲート(21)に出力する。このため、間欠発振制御回路(71)から高い電圧(H)レベルの出力信号 V_5 を発生している期間 t_B はORゲート(2

1)から出力される信号 V_s が高い電圧(H)レベルとなるので、リセット優先型R-Sフリップフロップ(72)がリセット状態となり、MOS-FET(3)のゲート端子に一定期間 t_B だけ低い電圧(L)レベルの駆動信号 V_G が付与される。これにより、軽負荷時は駆動信号 V_G の発振周期よりも十分長い周期で一定期間 t_B だけMOS-FET(3)がオフ状態となる間欠発振動作に切り替えることができる。

図18に示す実施の形態の他励式フライバック型DC-DCコンバータでは、重負荷～通常負荷状態のときは、パルス発生器(22)のパルス信号 V_4 がリセット優先型R-Sフリップフロップ(72)のセット端子(S)に入力されたときに図19(B)に示す駆動信号 V_G が高い電圧(H)レベルとなるので、MOS-FET(3)がオン状態となり、図19(A)及び(E)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が直線的に増加すると共にレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} が基準電源(26)の基準電圧 V_{DT} のレベルを超えて直線的に低下する。このため、電流検出用コンパレータ(27)から高い電圧(H)レベルの電流検出信号 V_{CP} が出力される。そして、図19(E)に示すようにレベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達すると、図19(B)に示すように駆動信号 V_G が高い電圧(H)レベルから低い電圧(L)レベルとなり、MOS-FET(3)がオン状態からオフ状態に切り替えられるため、図19(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が略ゼロとなる。このとき、Dフリップフロップ(28)のクロック入力端子(CLK)に図19(B)に示す駆動信号 V_G の立ち下がりエッジ(矢印)が入力されると同時に、信号入力端子(D)に電流検出用コンパレータ(27)からの高い電圧(H)レベルの電流検出信号 V_{CP} が入力されるので、信号出力端子(Q)から出力される信号 V_{LD} の電圧レベルが図19(C)に示すように高い電圧(H)レベルに保持される。したがって、重負荷～通常負荷時は、間欠発振制御回路(71)が作動せず、図19(D)に示すように低い電圧(L)レベルの出力信号 V_s を発生するので、通常の発振動作が連続的に行われる。

負荷が軽くなり、軽負荷状態になると、図19(E)に示すように出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルが基準電源(26)の基準電圧 V_{DT} のレベルより高くなるため、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} は基準電

源(26)の基準電圧 V_{DT} のレベルに到達せず、電流検出用コンパレータ(27)から低い電圧(L)レベルの電流検出信号 V_{CP} が出力される。図19(E)に示すように、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達すると、図19(B)に示すように駆動信号 V_G の電圧レベルが高い電圧(H)レベルから低い電圧(L)レベルとなり、MOS-FET(3)がオンからオフに切り替わるため、図19(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が略ゼロとなる。このとき、Dフリップフロップ(28)のクロック入力端子(CLK)に図19(B)に示す駆動信号 V_G の立ち下がりエッジ(矢印)が入力されると同時に、Dフリップフロップ(28)の信号入力端子(D)に電流検出用コンパレータ(27)からの低い電圧(L)レベルの電流検出信号 V_{CP} が入力されるので、Dフリップフロップ(28)の信号出力端子(Q)から出力される信号 V_{LD} の電圧レベルが図19(C)に示すように高い電圧(H)レベルから低い電圧(L)レベルに切り替えられ、間欠発振制御回路(71)が駆動される。これにより、図19(D)に示すように駆動信号 V_G の発振周期よりも十分長い周期で一定期間 t_B だけ高い電圧(H)レベルの信号 V_5 が間欠発振制御回路(71)から出力され、ORゲート(21)から出力される信号 V_3 が一定期間 t_B だけ高い電圧(H)レベルとなるので、リセット優先型R-Sフリップフロップ(72)からMOS-FET(3)のゲート端子に一定期間 t_B だけ低い電圧(L)レベルの駆動信号 V_G が付与される。したがって、軽負荷時は駆動信号 V_G の発振周期よりも十分長い周期で一定期間 t_B だけMOS-FET(3)のオン・オフ動作が停止する間欠発振動作となる。

図18に示す実施の形態では、MOS-FET(3)に流れるドレイン電流 I_D が小さい軽負荷状態のときは、Dフリップフロップ(28)の出力信号 V_{LD} が低い電圧(L)レベルとなり、間欠発振制御回路(71)により駆動信号 V_G の発振周期よりも十分長い周期で一定期間 t_B だけMOS-FET(3)のオン・オフ動作が停止する間欠発振動作に切り替わるので、MOS-FET(3)のスイッチング回数が極端に減少する。これにより、軽負荷時でのスイッチング損失が大幅に低減され、広い負荷の範囲でスイッチング電源装置の変換効率を向上することができる。

図2～図18に示す各実施の形態の他励式フライバック型DC-DCコンバータでは、トランス(2)の1次巻線(2a)又はMOS-FET(3)に流れる電流 I_D を電

流検出用抵抗(9)により負電圧として検出し、レベルシフト用抵抗(17, 18)の接続点の電圧 V_{OCP} を過電流制限用コンパレータ(19)、電流モード制御用コンパレータ(20)及び電流検出用コンパレータ(27)の反転入力端子(-)に inputs する形態を示したが、図20に示すようにトランス(2)の1次巻線(2a)又はMOS-FET(3)に流れる電流 I_D を電流検出用抵抗(9)により正電圧として検出し、この検出電圧 V_{OCP} を過電流制限用コンパレータ(19)、電流モード制御用コンパレータ(20)及び電流検出用コンパレータ(27)の非反転入力端子(+)に直接入力してもよい。図20に示す実施の形態の他励式フライバック型DC-DCコンバータでは、図21(B)に示すようにMOS-FET(3)のゲート端子に付与される駆動信号 V_G が低い電圧(L)レベルから高い電圧(H)レベルとなり、MOS-FET(3)がオン状態になると、図21(A)及び(D)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が直線的に増加すると共に電流検出用抵抗(9)の検出電圧 V_{OCP} も直線的に上昇する。重負荷～通常負荷状態のときは、図21(D)に示すように出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルが基準電源(26)の基準電圧 V_{DT} のレベルよりも高いため、電流検出用抵抗(9)の検出電圧 V_{OCP} が基準電源(26)の基準電圧 V_{DT} のレベルを超えて直線的に上昇する。このため、電流検出用コンパレータ(27)から高い電圧(H)レベルの電流検出信号 V_{CP} が出力される。そして、図21(D)に示すように電流検出用抵抗(9)の検出電圧 V_{OCP} が出力電圧検出回路(7)からの検出信号 V_{FB} の電圧レベルに達すると、図21(B)に示すようにMOS-FET(3)のゲート端子に付与される駆動信号 V_G が高い電圧(H)レベルから低い電圧(L)レベルとなり、MOS-FET(3)がオン状態からオフ状態に切り替えられるため、図21(A)に示すようにMOS-FET(3)に流れるドレイン電流 I_D が略ゼロとなる。このとき、Dフリップフロップ(28)のクロック入力端子(CLK)に図21(B)に示す駆動信号 V_G の立ち下がりエッジ(矢印)が入力されると同時に、信号入力端子(D)に電流検出用コンパレータ(27)からの高い電圧(H)レベルの電流検出信号 V_{CP} が入力されるので、信号出力端子(Q)から出力される信号 V_{LD} の電圧レベルが図21(C)に示すように高い電圧(H)レベルに保持される。したがって、重負荷～通常負荷時はパルス発生器(22)から出力されるパルス信号 V_4 の周期が短くなるので、MOS-FET(3)のオフ期間が短縮され、発振周波

数が増加する。

また、軽負荷状態のときは、図 2 1 (D) に示すように出力電圧検出回路 (7) からの検出信号 V_{FB} の電圧レベルが基準電源 (26) の基準電圧 V_{DT} のレベルより低くなるため、電流検出用抵抗 (9) の検出電圧 V_{OCP} は基準電源 (26) の基準電圧 V_{DT} のレベルには到達しない。このため、電流検出用コンパレータ (27) からは低い電圧 (L) レベルの電流検出信号 V_{CP} が出力される。図 2 1 (D) に示すように、電流検出用抵抗 (9) の検出電圧 V_{OCP} が出力電圧検出回路 (7) からの検出信号 V_{FB} の電圧レベルに達すると、図 2 1 (B) に示すように駆動信号 V_G の電圧レベルが高い電圧 (H) レベルから低い電圧 (L) レベルとなり、MOS-FET (3) がオン状態からオフ状態に切り替わるため、図 2 1 (A) に示すように MOS-FET (3) に流れるドレイン電流 I_D が略ゼロとなる。このとき、D フリップフロップ (28) のクロック入力端子 (CLK) に図 2 1 (B) に示す駆動信号 V_G の立ち下がりエッジ (矢印) が入力されると同時に、D フリップフロップ (28) の信号入力端子 (D) に電流検出用コンパレータ (27) からの低い電圧 (L) レベルの電流検出信号 V_{CP} が入力されるので、D フリップフロップ (28) の信号出力端子 (Q) から出力される信号 V_{LD} の電圧レベルが図 2 1 (C) に示すように高い電圧 (H) レベルから低い電圧 (L) レベルに切り替えられる。したがって、軽負荷時はパルス発生器 (22) から出力されるパルス信号 V_4 の周期が長くなるので、MOS-FET (3) のオフ期間が延長され、発振周波数が低下する。

図 2 0 に示す実施の形態では、図 2 ～図 1 8 の各実施の形態で示したレベルシフト用抵抗 (17, 18) が不要となるので、図 2 ～図 1 8 に示す各実施の形態に比較して制御回路 (8) の構成を簡略化できる利点がある。なお、スイッチング電流を検出する手段としてはマイナス検出 (図 2 ～図 1 8) とプラス検出 (図 2 0) があり、マイナス検出とプラス検出はスイッチング電源として一長一短がそれぞれにあるが、本発明の本質的なところではなく、マイナス検出及びプラス検出の双方に本発明を適用することが可能である。

本発明の実施態様は前記の各実施の形態に限定されず、以下のように更に種々の変更が可能である。

[1] 前記の各実施の形態では、出力整流平滑回路 (6) の直流出力電圧 V_{OUT} の検

出信号 V_{FB} を 2 次側の出力電圧検出回路 (7) からフォトカプラ (14) の発光素子 (14a) 及び受光素子 (14b) を介して 1 次側に伝達する形態を示したが、図 22 に示すように出力電圧検出回路 (7) 及びフォトカプラ (14) を省略し、フォトカプラ (14) を構成する受光素子 (14b) の代わりに制御回路 (8) の駆動電圧以上のツェナ電圧を有するツェナダイオード (81) を接続してトランス (2) の駆動巻線 (2c) 側で出力整流平滑回路 (6) の直流出力電圧 V_{OUT} の検出信号 V_{FB} として検出してもよい。即ち、図 22 に示す実施の形態では、トランス (2) の 2 次巻線 (2b) の電圧に比例する電圧が駆動巻線 (2c) に発生するため、駆動巻線 (2c) 側に発生する直流電圧 V_{IN} は 2 次巻線 (2b) 側に発生する直流出力電圧 V_{OUT} に比例する。したがって、2 次巻線 (2b) 側の直流出力電圧 V_{OUT} の変化分を駆動巻線 (2c) 側で検出できるので、出力電圧検出回路 (7) 及びフォトカプラ (14) が不要となり、2 次側の回路構成を簡略化することが可能となる。

[2] 前記の各実施の形態では、トランス (2) の 1 次巻線 (2a) 又は MOS-FET (3) と直列に電流検出用抵抗 (9) を接続してトランス (2) の 1 次巻線 (2a) 又は MOS-FET (3) に流れる電流 I_D を負電圧又は正電圧として検出する形態を示したが、図 23 に示すようにトランス (2) の 1 次巻線 (2a) 側の閉回路に流れる電流 I_D を分流する分流手段としての電流検出端子 (92) を有するセンス MOS-FET (91) をスイッチング素子として使用し、電流検出端子 (92) に流れる電流を電流検出用抵抗 (9) により電圧に変換して検出してもよい。

[3] 図 9 に示す実施の形態では、D フリップフロップ (50, 51) を 2 段直列に接続し、軽負荷時に MOS-FET (3) のドレイン-ソース端子間電圧 V_{DS} の 2 回目の最小電圧点で MOS-FET (3) をターンオンさせる形態を示したが、D フリップフロップ (50) を 3 段以上直列に接続し、軽負荷時に MOS-FET (3) のドレイン-ソース端子間電圧 V_{DS} の 3 回目以降の最小電圧点で MOS-FET (3) をターンオンさせてもよい。この場合は、軽負荷時に MOS-FET (3) のゲート端子に付与される駆動信号 V_G の発振周波数が更に低下するので、軽負荷時でのスイッチング損失を更に低減することが可能となる。

[4] また、図 16 に示す実施の形態についても同様に、基準電源 (26)、電流検出用コンパレータ (27) 及び D フリップフロップ (28) を並行して 3 組以上設け、軽

負荷時にMOS-FET (3)のゲート端子に付与される駆動信号 V_g の発振周波数を負荷の状態に応じて更に細密に制御してもよい。

[5] 更に、図24に示すように、図16に示す実施形態の他励式フライバック型DC-DCコンバータに図9に示す実施の形態のボトム検出回路(41)とボトムスキップ制御回路(42)を設けてもよい。即ち、図24に示す実施の形態の他励式フライバック型DC-DCコンバータは、MOS-FET (3)のオフ期間中にトランス(2)の駆動巻線(2c)に発生するリングング電圧によりMOS-FET (3)のドレイン-ソース端子間電圧 V_{DS} の最小電圧点を検出するボトム検出回路(41)と、双方のDフリップフロップ(28, 63)の各出力信号 V_{LD1} , V_{LD2} (図25(D)及び(E)に図示) が共に高い電圧(H)レベルのときにボトム検出回路(41)により検出された最初の最小電圧点でMOS-FET (3)をターンオンさせ、一方及び他方のDフリップフロップ(28, 63)の各出力信号 V_{LD1} , V_{LD2} がそれぞれ低い電圧(L)レベル、高い電圧(H)レベルのときにボトム検出回路(41)により検出された2回目の最小電圧点でMOS-FET (3)をターンオンさせ、双方のDフリップフロップ(28, 63)の各出力信号 V_{LD1} , V_{LD2} が共に低い電圧(L)レベルのときにボトム検出回路(41)により検出された3回目の最小電圧点でMOS-FET (3)をターンオンさせるボトムスキップ制御回路(42)とを図16に示す実施の形態の制御回路(8)内に設けたものである。図24に示すボトムスキップ制御回路(42)は、直列に接続された第1～第3のDフリップフロップ(50, 51, 54)と、第1のDフリップフロップ(50)の出力信号 V_{DF1} と一方のDフリップフロップ(28)の出力信号 V_{LD1} との論理積信号 V_{AD1} を出力する第1のANDゲート(52)と、第2のDフリップフロップ(51)の出力信号 V_{DF2} と他方のDフリップフロップ(63)の出力信号 V_{LD2} との論理積信号 V_{AD2} を出力する第2のANDゲート(55)と、パルス発生器(22)のパルス信号 V_4 と第3のDフリップフロップ(54)の出力信号 V_{DF3} と第1及び第2のANDゲート(52, 55)の論理積信号 V_{AD1} , V_{AD2} との論理和信号 V_{OR} を出力するORゲート(53)とから構成される。即ち、図24に示すボトムスキップ制御回路(42)は、重負荷～通常負荷時は、図25(D)及び(E)に示すように双方のDフリップフロップ(28, 63)から高い電圧(H)レベルの出力信号 V_{LD1} , V_{LD2} が出力されるので、第1及び第2のANDゲート(52, 55)から出力される論理積信号 V_{AD1} , V_A

D_2 はそれぞれ第1及び第2のDフリップフロップ(50, 51)の各出力信号 V_{DF1} , V_{DF2} と同一となる。一方、第1のDフリップフロップ(50)からは図25(C)に示すボトム検出回路(41)の出力信号 V_{BD} の最初の立ち下がりエッジに同期して高い電圧(H)レベルまで上昇する単発パルス状の出力信号 V_{DF1} が発生するので、第2及び第3のDフリップフロップ(51, 54)の出力信号 V_{DF2} , V_{DF3} は低い電圧(L)レベルを保持する。したがって、ORゲート(53)から高い電圧(H)レベルの単発パルス状の論理和信号 V_{OR} がボトム検出回路(41)の出力信号 V_{BD} の最初の立ち下がりエッジに同期して出力されるので、重負荷～通常負荷時はボトム検出回路(41)により検出された最初の最小電圧点でMOS-FET(3)をターンオンさせることができる。また、軽負荷時は、図25(D)及び(E)に示すように一方及び他方のDフリップフロップ(28, 63)からそれぞれ低い電圧(L)レベル、高い電圧(H)レベルの出力信号 V_{LD1} , V_{LD2} が出力されるので、第1のANDゲート(52)から出力される論理積信号 V_{AD1} は低い電圧(L)レベルとなる。一方、第2のDフリップフロップ(51)からは図25(C)に示すボトム検出回路(41)の出力信号 V_{BD} の2回目の立ち下がりエッジに同期して高い電圧(H)レベルまで上昇する単発パルス状の出力信号 V_{DF2} が発生し、第2のANDゲート(55)の論理積信号 V_{AD2} が出力信号 V_{DF2} と同一となるので、ORゲート(53)から高い電圧(H)レベルの単発パルス状の論理和信号 V_{OR} がボトム検出回路(41)の出力信号 V_{BD} の2回目の立ち下がりエッジに同期して出力される。これにより、軽負荷時はボトム検出回路(41)により検出された2回目の最小電圧点でMOS-FET(3)をターンオンさせることができる。更に、極軽負荷時は、図25(D)及び(E)に示すように双方のDフリップフロップ(28, 63)から低い電圧(L)レベルの出力信号 V_{LD1} , V_{LD2} が出力されるので、第1及び第2のANDゲート(52, 55)から出力される論理積信号 V_{AD1} , V_{AD2} は共に低い電圧(L)レベルとなる。一方、第3のDフリップフロップ(54)からは図25(C)に示すボトム検出回路(41)の出力信号 V_{BD} の3回目の立ち下がりエッジに同期して高い電圧(H)レベルまで上昇する単発パルス状の出力信号 V_{DF3} が発生するので、ORゲート(53)から高い電圧(H)レベルの単発パルス状の論理和信号 V_{OR} がボトム検出回路(41)の出力信号 V_{BD} の3回目の立ち下がりエッジに同期して出力される。これにより、極軽負荷時はボトム検出回路(41)により

検出された3回目の最小電圧点でMOS-FET(3)をターンオンさせることができる。したがって、図24に示す実施の形態でも図16に示す実施の形態と同様に、軽負荷時及び極軽負荷時において図25(B)に示すようにMOS-FET(3)のゲート端子に付与される駆動信号 V_g の発振周波数がそれぞれ異なる2つの周波数で低下するので、MOS-FET(3)の駆動信号 V_g の発振周波数をより細密に制御してスイッチング電源装置の変換効率を更に向上することができる。勿論、基準電源(26)、電流検出用コンパレータ(27)及びDフリップフロップ(28)を並行して3組以上設けると共に、Dフリップフロップ(50)を4段以上直列に接続して、駆動信号 V_g の発振周波数を軽負荷の程度に応じてそれぞれ異なる3種類以上の周波数で低下させることも可能である。

[6] 前記の各実施の形態では、MOS-FET(3)のオン期間とオフ期間を個別に制御する制御方式及びトランス(2)のフライバックエネルギーの放出が完了した時点でMOS-FET(3)をオンする擬似共振制御方式(RCC方式)に本発明を適用した形態を示したが、オン・デューティを制御する一般的なPWM(パルス幅変調)制御方式でも構わない。

[7] 更に、他励式フライバック型DC-DCコンバータに限定されず、直流電源に接続され且つ制御回路に駆動用電力を供給する駆動電源回路を備えた他励式のフォワード型DC-DCコンバータや共振型DC-DCコンバータ等の他のスイッチング電源装置にも本発明を適用できる。

本発明によれば、スイッチング素子がオンからオフに切り替わる時点で2次側に接続される負荷の状態の判定を行うので、誘導ノイズ等の外来ノイズの影響を受けにくく、最少の部品点数で2次側の負荷の状態を1次側にて正確且つ確実に検出することができる。したがって、その検出出力に基づいて最適な発振動作に切り替えることにより、スイッチング電源装置の変換効率を向上することが可能となる。

産業上の利用可能性

本発明は、マイクロコンピュータ等の大規模な指令装置を備えた携帯型電話器(PHS等)やノート型パーソナルコンピュータ等の小型電子機器用のACアダ

プタに適用できる。

請 求 の 範 囲

1. 直流電源と、該直流電源に対して直列に接続されたトランスの1次巻線及びスイッチング素子と、前記トランスの1次巻線又は前記スイッチング素子に流れる電流を検出する電流検出手段と、前記トランスの2次巻線に接続され且つ直流出力電圧を発生する出力整流平滑回路と、前記直流出力電圧が略一定となるように前記スイッチング素子のオン・オフ期間を制御する駆動信号を発生する制御回路とを備えたスイッチング電源装置において、

前記制御回路は、前記電流検出手段の検出信号の電圧レベルと基準電圧のレベルとを比較して第1の電圧レベル又は第2の電圧レベルの電流検出信号を出力する電流比較手段と、前記スイッチング素子のオンからオフへの切り替え時に前記スイッチング素子の制御端子に付与される前記駆動信号のエッジを検出するエッジ検出手段と、該エッジ検出手段が前記駆動信号のエッジを検出したときに前記電流比較手段から前記電流検出信号を取り込んで出力信号を発生する負荷判定手段とを有し、該負荷判定手段の出力信号が前記第1の電圧レベルのときに軽負荷状態と判断し、前記負荷判定手段の出力信号が前記第2の電圧レベルのときに軽負荷より重い状態と判断することを特徴とするスイッチング電源装置。

2. 前記制御回路は、前記負荷判定手段の出力信号が前記第1の電圧レベルのときに前記駆動信号の発振周波数を低下させ、前記負荷判定手段の出力信号が前記第2の電圧レベルのときに前記駆動信号の発振周波数を増加させる発振制御手段を有する請求項1に記載のスイッチング電源装置。

3. 前記制御回路は、前記負荷判定手段の出力信号の電圧レベルが切り替わるときに前記電流検出手段の検出信号の電圧ピーク値が変動する方向と同一の方向に前記電流比較手段の基準電圧のレベルを変更するか又は前記電流検出手段の検出信号の電圧ピーク値が変動する方向とは逆の方向に前記検出信号の電圧レベルを変更する電圧レベル変更手段を有する請求項1又は2に記載のスイッチング電源装置。

4. 前記制御回路は、前記スイッチング素子のオフ期間中に前記スイッチング素子の両主端子間電圧の最小電圧点を検出するボトム検出手段と、前記負荷判

定手段の出力信号が前記第 2 の電圧レベルのときに前記ボトム検出手段により検出された最初の前記最小電圧点で前記スイッチング素子をターンオンさせ、前記負荷判定手段の出力信号が前記第 1 の電圧レベルのときに前記ボトム検出手段により検出された 2 回目以降の前記最小電圧点で前記スイッチング素子をターンオンさせるボトムスキップ制御手段とを有する請求項 1 ～ 3 の何れか 1 項に記載のスイッチング電源装置。

5. 前記ボトム検出手段は、前記スイッチング素子のオフ期間中に前記トランスの駆動巻線に発生するリングング電圧をパルス列電圧に変換する波形整形手段を有し、前記パルス列電圧の立ち下がりエッジを前記スイッチング素子の両主端子間電圧の最小電圧点として検出する請求項 4 に記載のスイッチング電源装置。

6. 前記電流比較手段、前記エッジ検出手段及び前記負荷判定手段が複数個設けられ、複数の前記電流比較手段はそれぞれ異なる基準電圧のレベルで前記電流検出手段の検出信号の電圧を比較し、複数の前記負荷判定手段からそれぞれ出力される前記第 1 の電圧レベルの出力信号により、前記駆動信号の発振周波数をそれぞれ異なる複数の周波数で低下させる請求項 1 ～ 5 の何れか 1 項に記載のスイッチング電源装置。

7. 前記制御回路は、前記負荷判定手段の出力信号が前記第 1 の電圧レベルのとき、前記駆動信号の発振周期よりも十分長い周期で一定期間だけ前記スイッチング素子のオン・オフ動作を停止させる間欠発振制御手段を有する請求項 1 又は 3 に記載のスイッチング電源装置。

8. 前記エッジ検出手段及び前記負荷判定手段を D フリップフロップで構成した請求項 1 ～ 7 の何れか 1 項に記載のスイッチング電源装置。

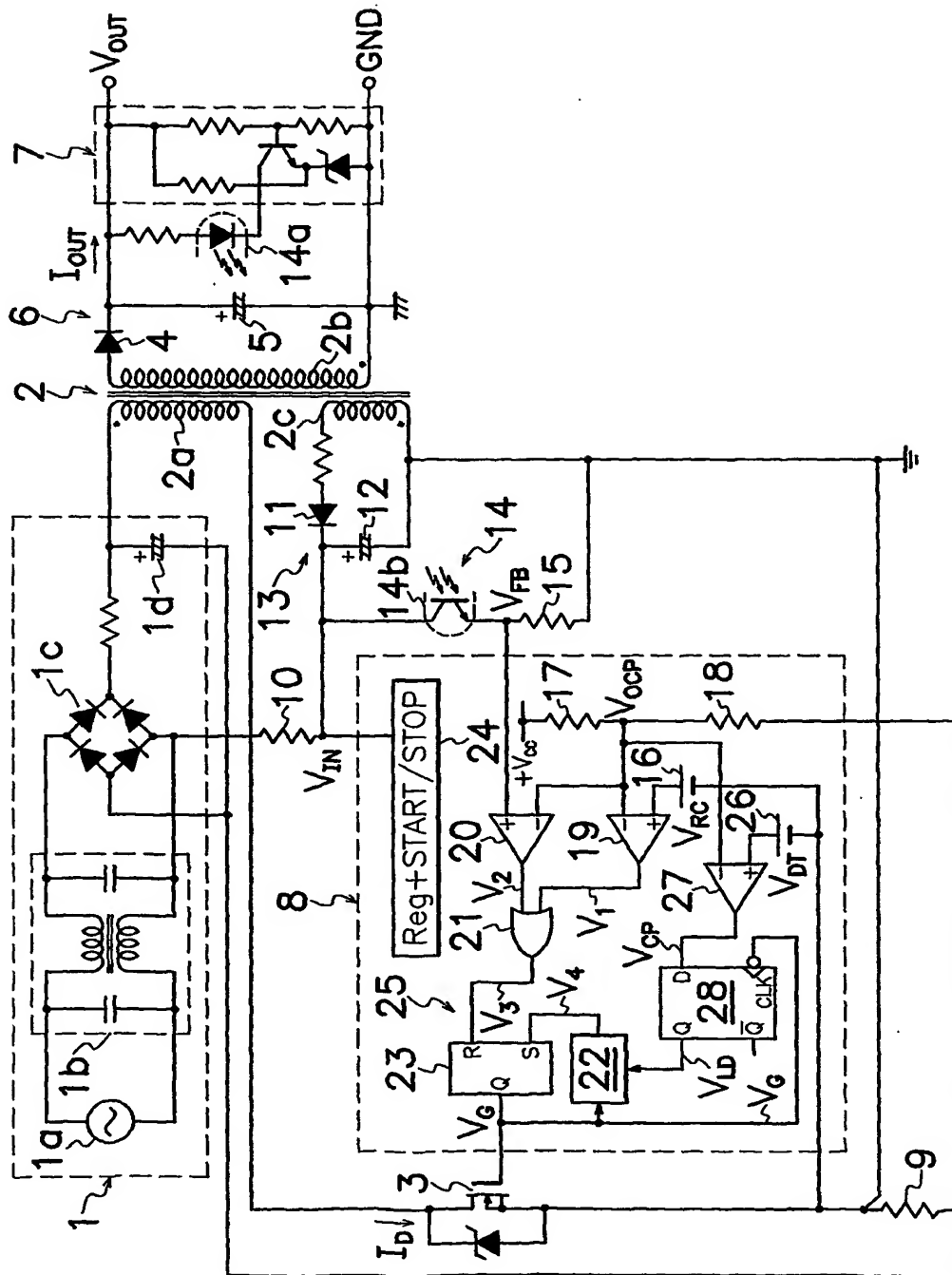
9. 前記直流電源に接続され且つ起動時に前記制御回路へ駆動用電力を供給する起動手段と、前記トランスの 1 次巻線及び 2 次巻線と電磁的に結合する駆動巻線と、該駆動巻線に接続され且つ前記制御回路を駆動する直流電圧を出力する補助整流平滑回路とを備えた請求項 1 ～ 8 の何れか 1 項に記載のスイッチング電源装置。

10. 前記直流電源に接続され且つ前記制御回路に駆動用電力を供給する駆動電源回路を備えた請求項 1 ～ 8 の何れか 1 項に記載のスイッチング電源装置。

11. 前記スイッチング素子は、前記トランスの1次巻線側の閉回路に流れる電流を分流する分流手段を有し、該分流手段により分流した電流を電流検出手段により検出する請求項1～10の何れか1項に記載のスイッチング電源装置。

2/24

図 2



3/24

図 3

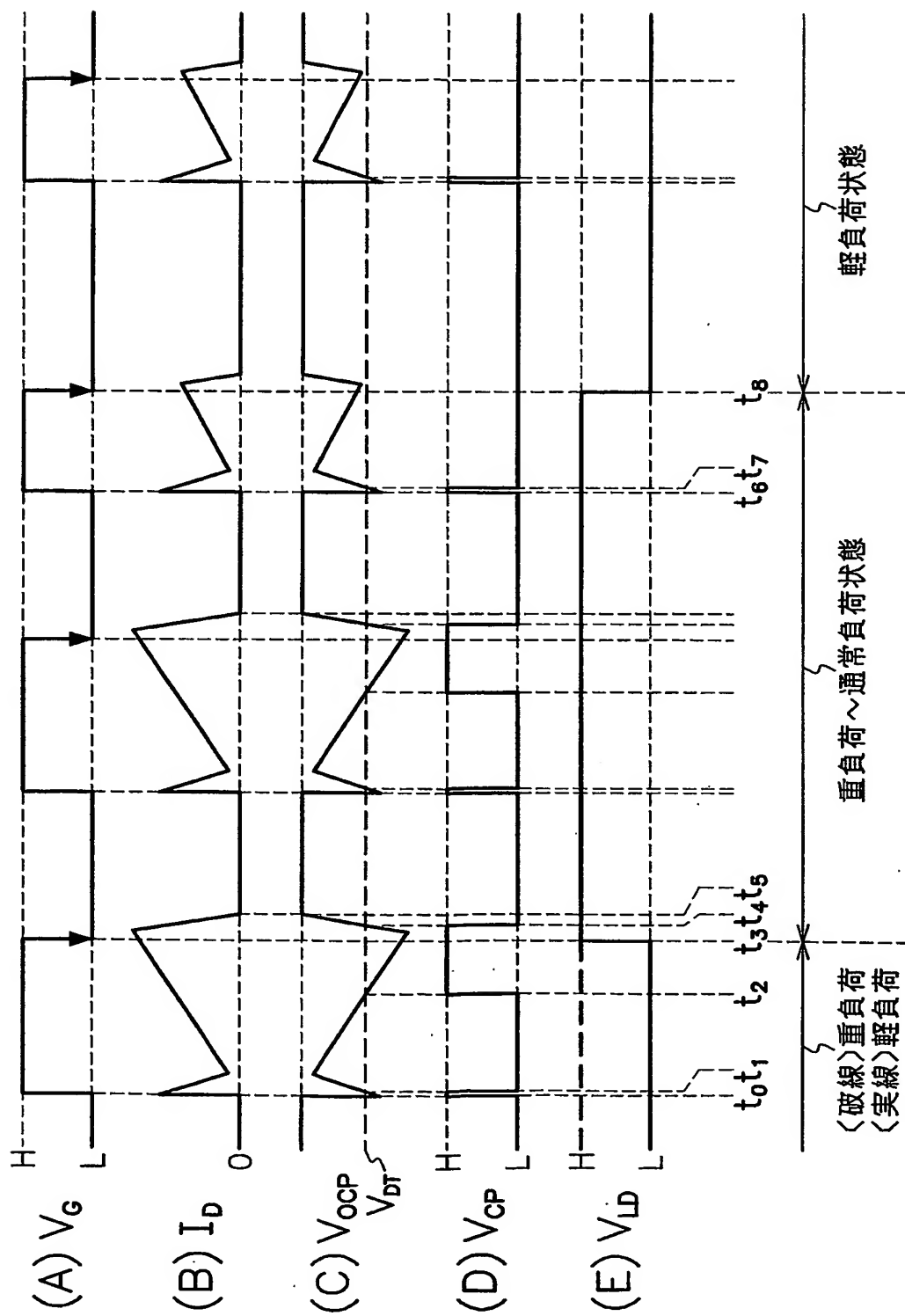
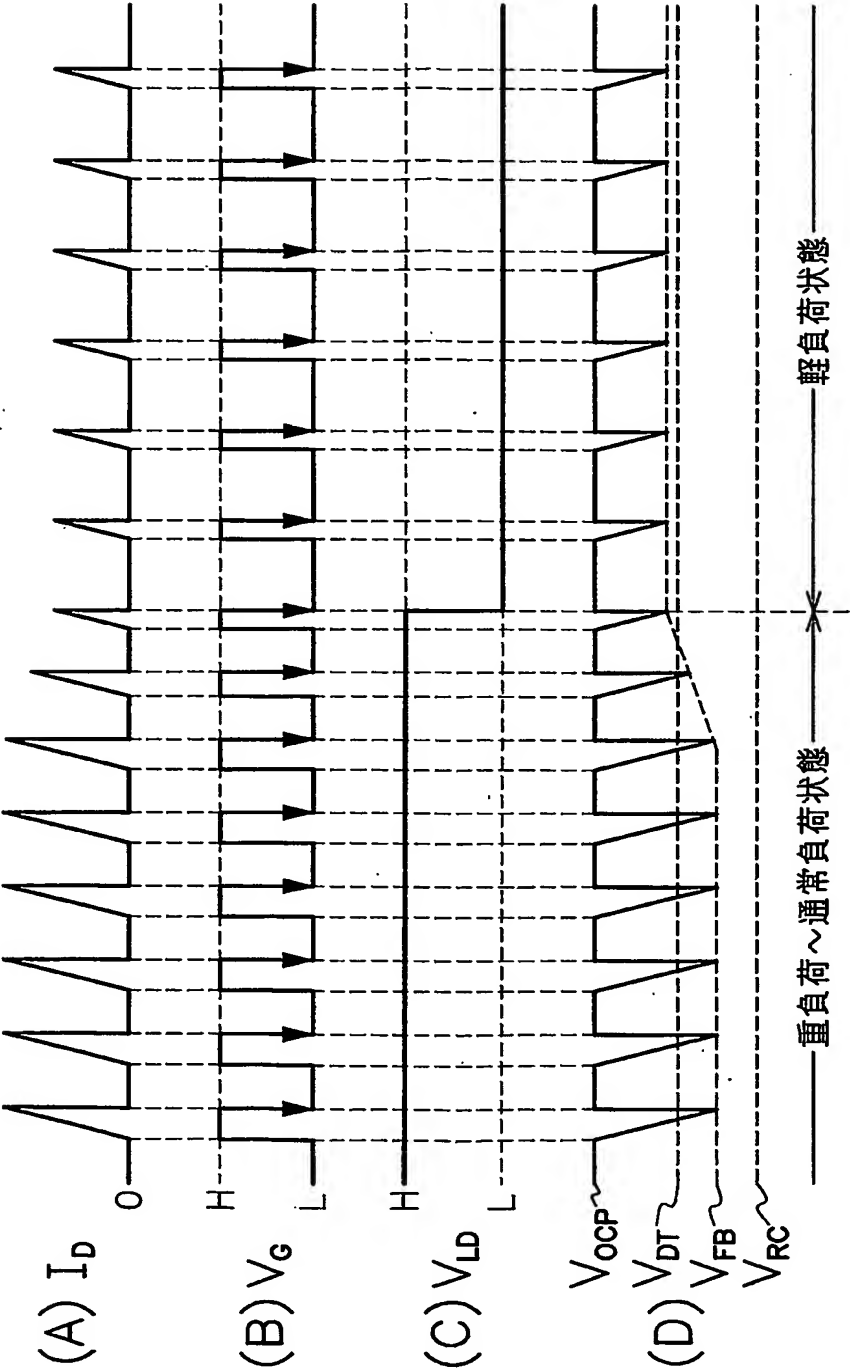
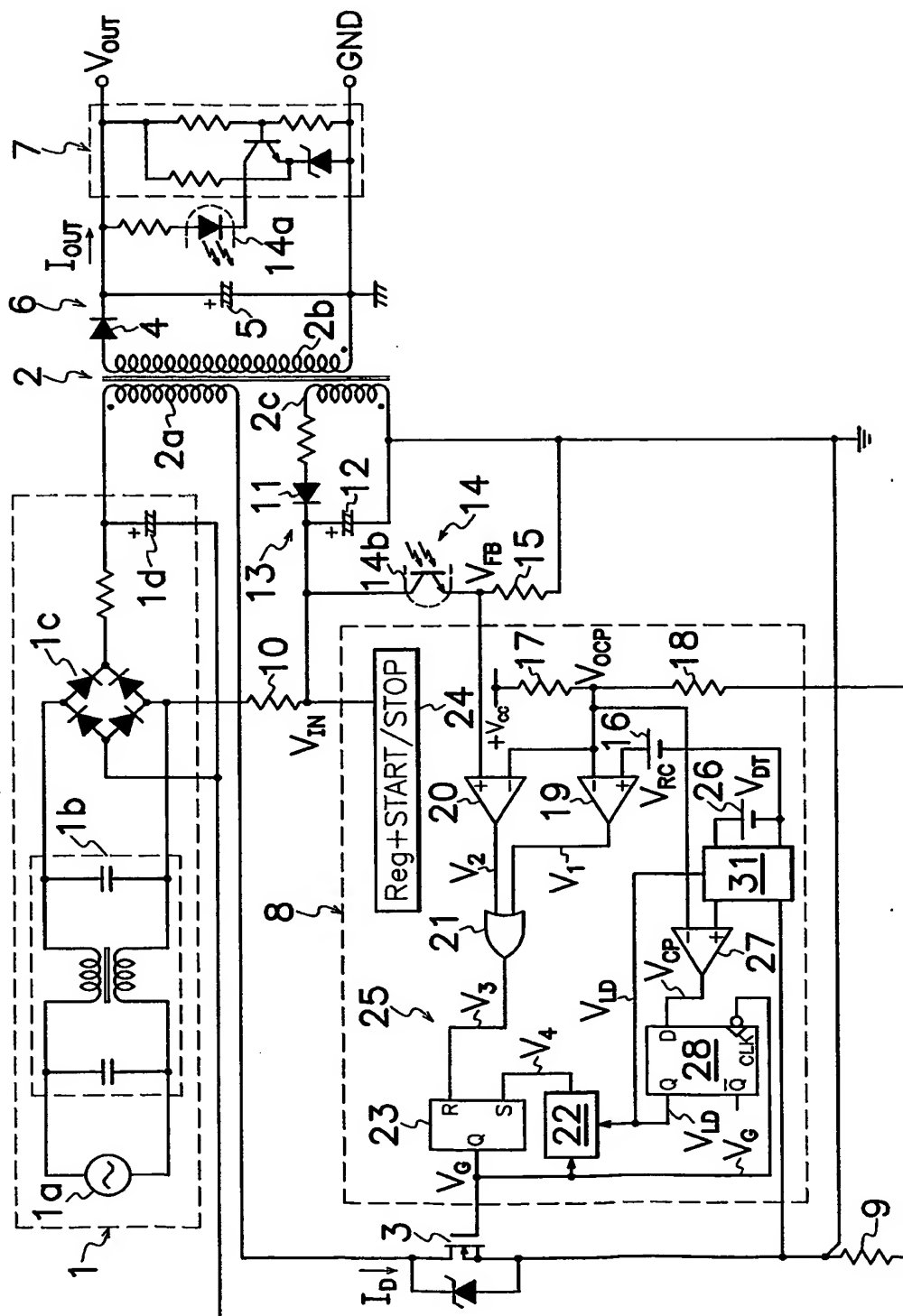


図 4



5/24

図 5



6/24

図 6

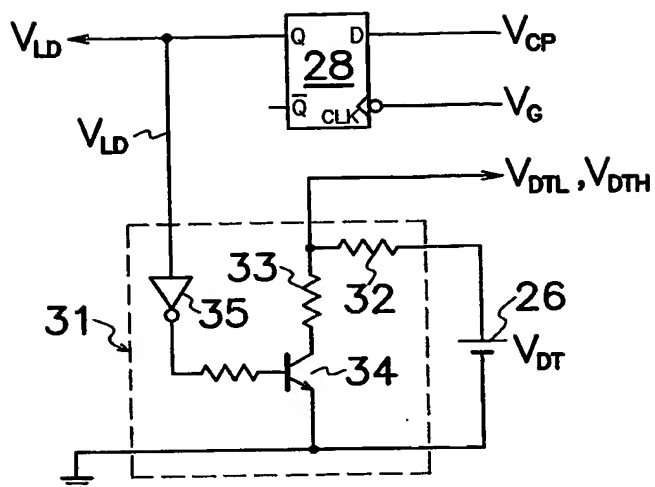


図 7

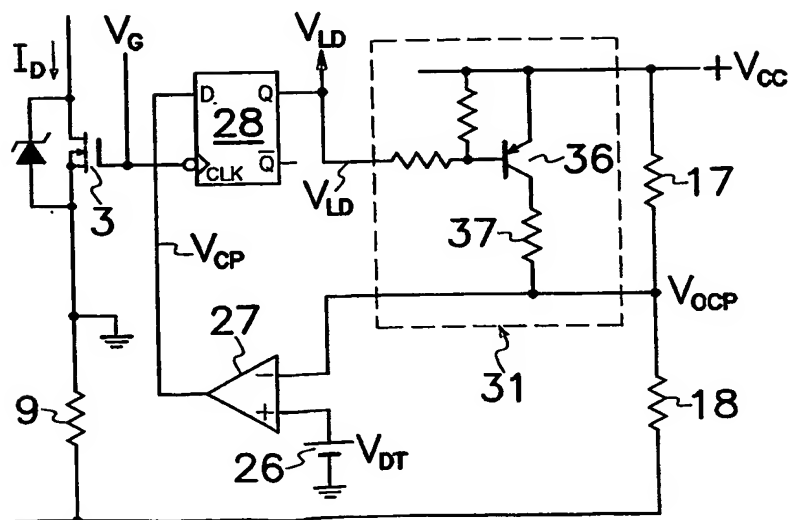
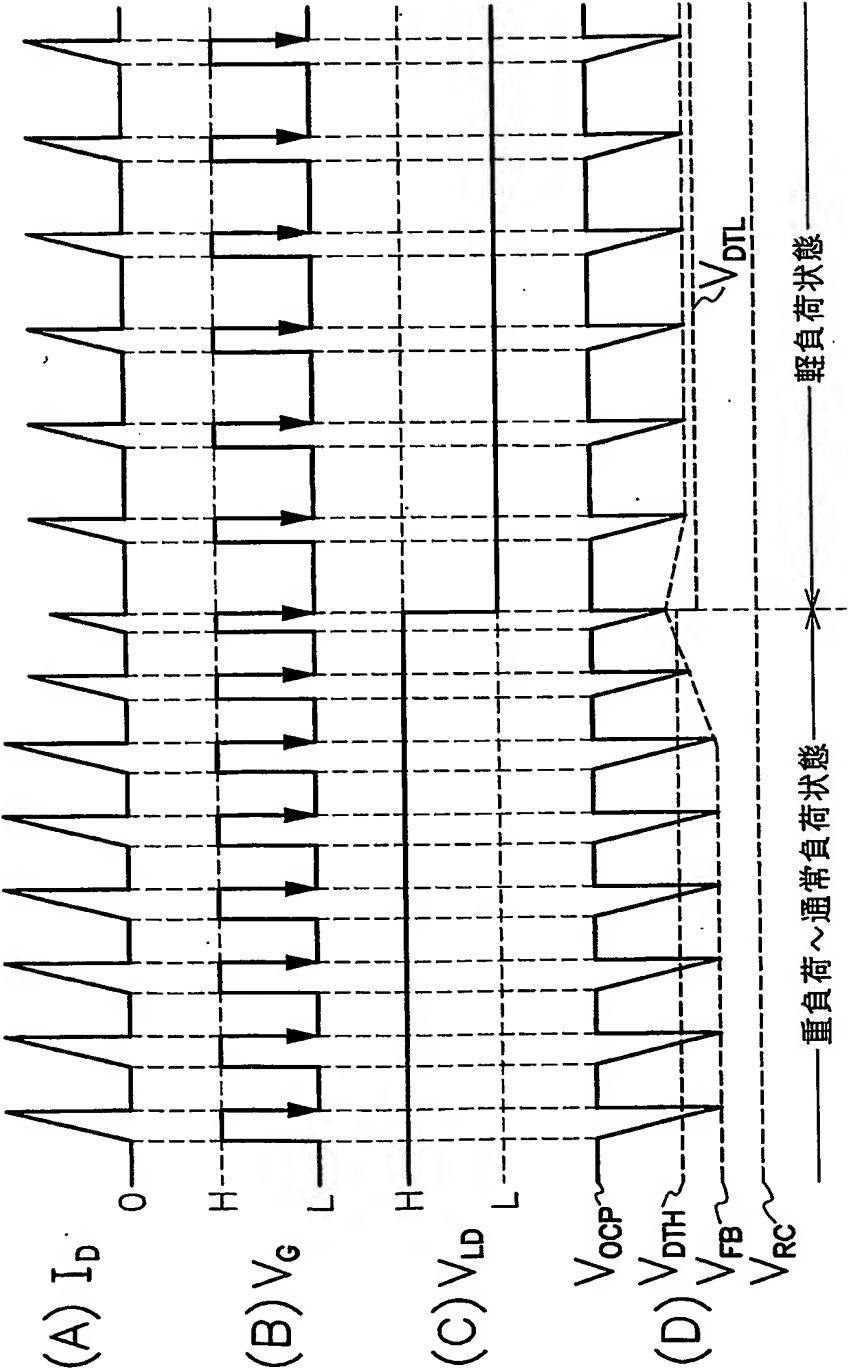
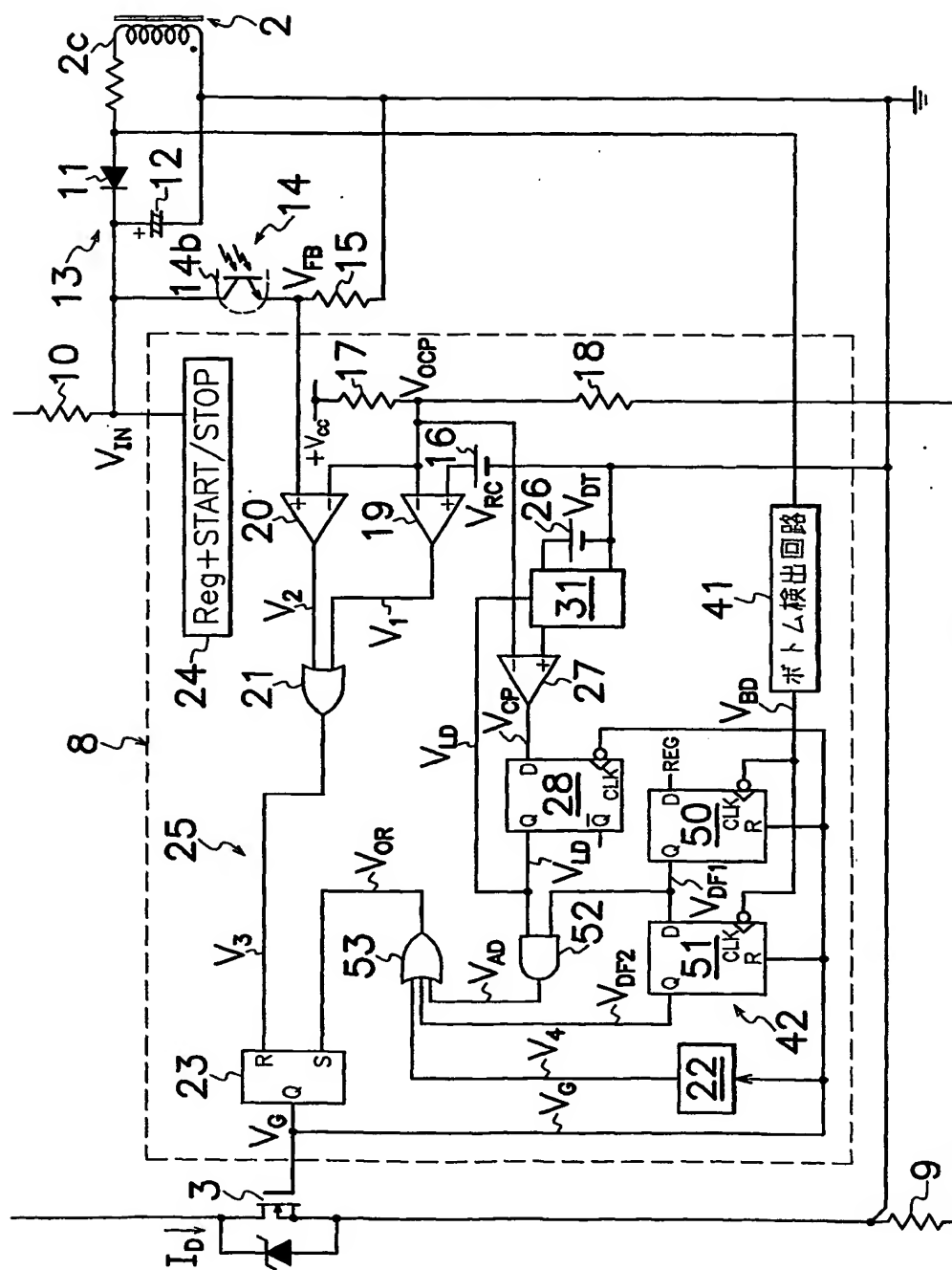


図 8



8/24

图 9



9/24

图 10

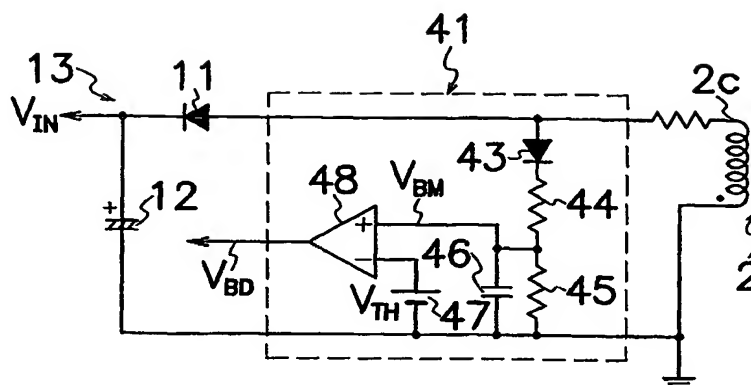
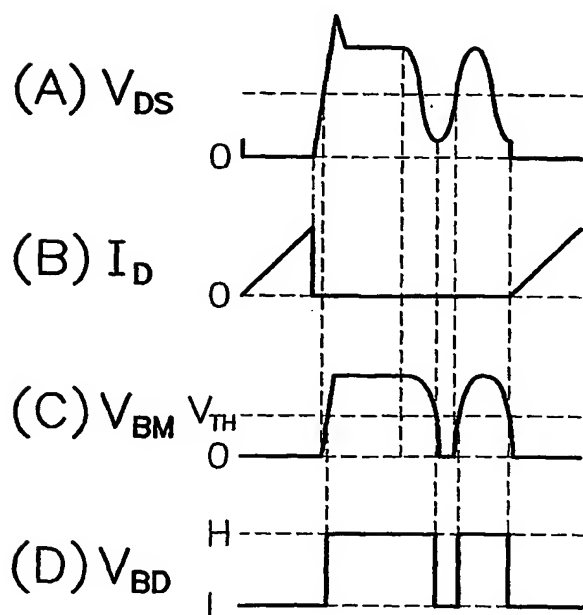


图 11



10/24

図 12

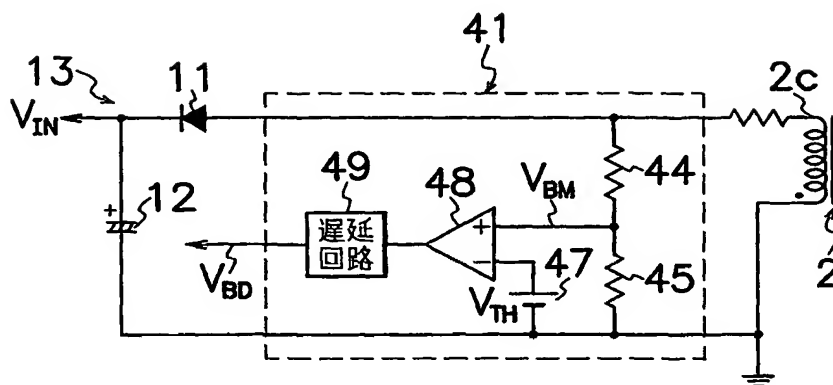
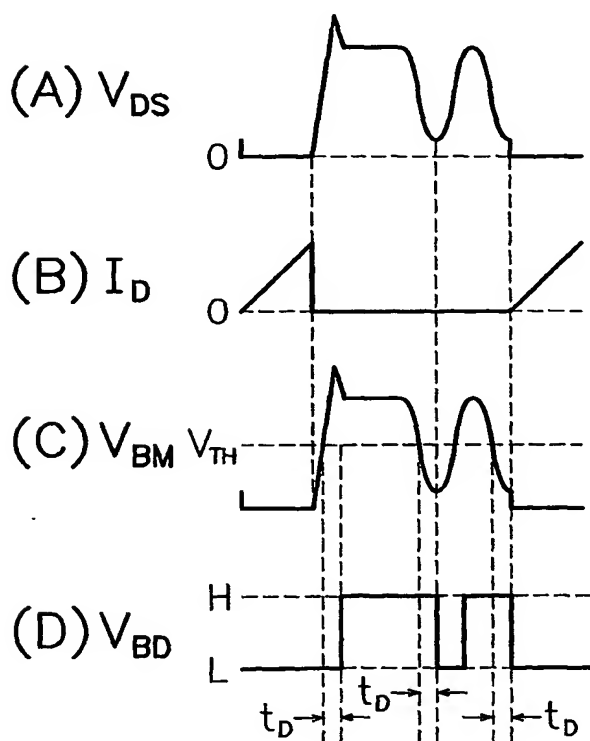
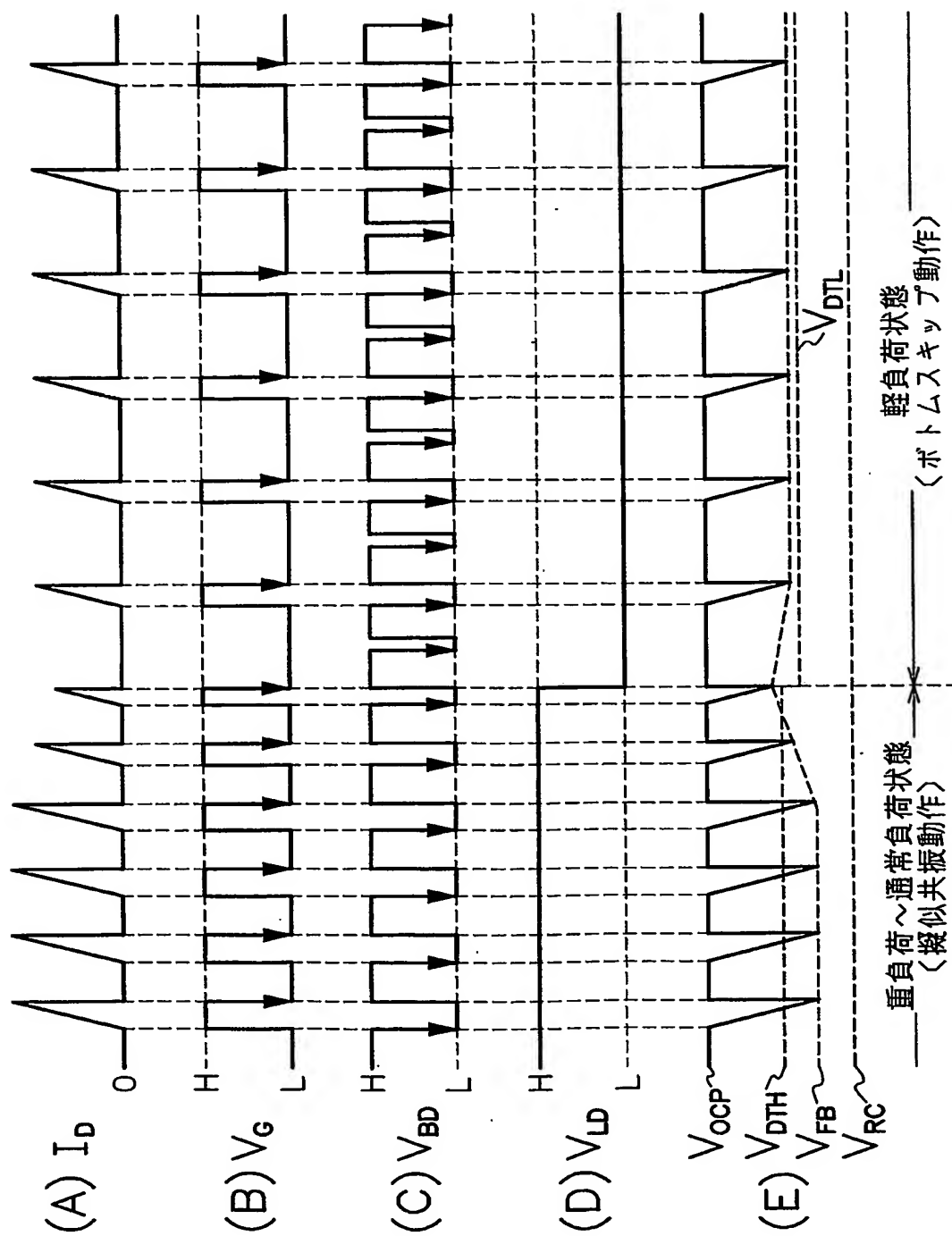


図 13



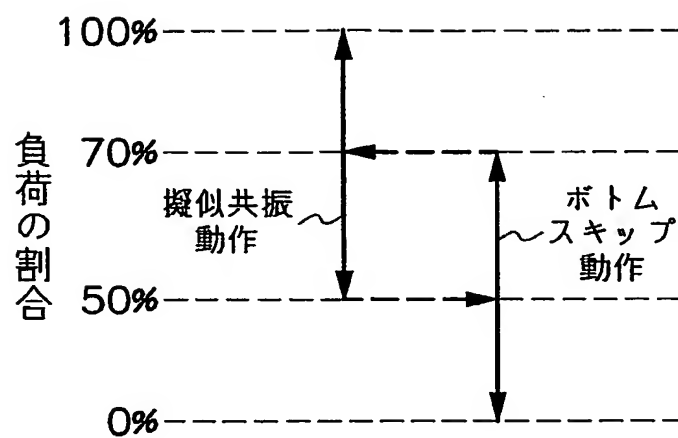
11/24

図 14



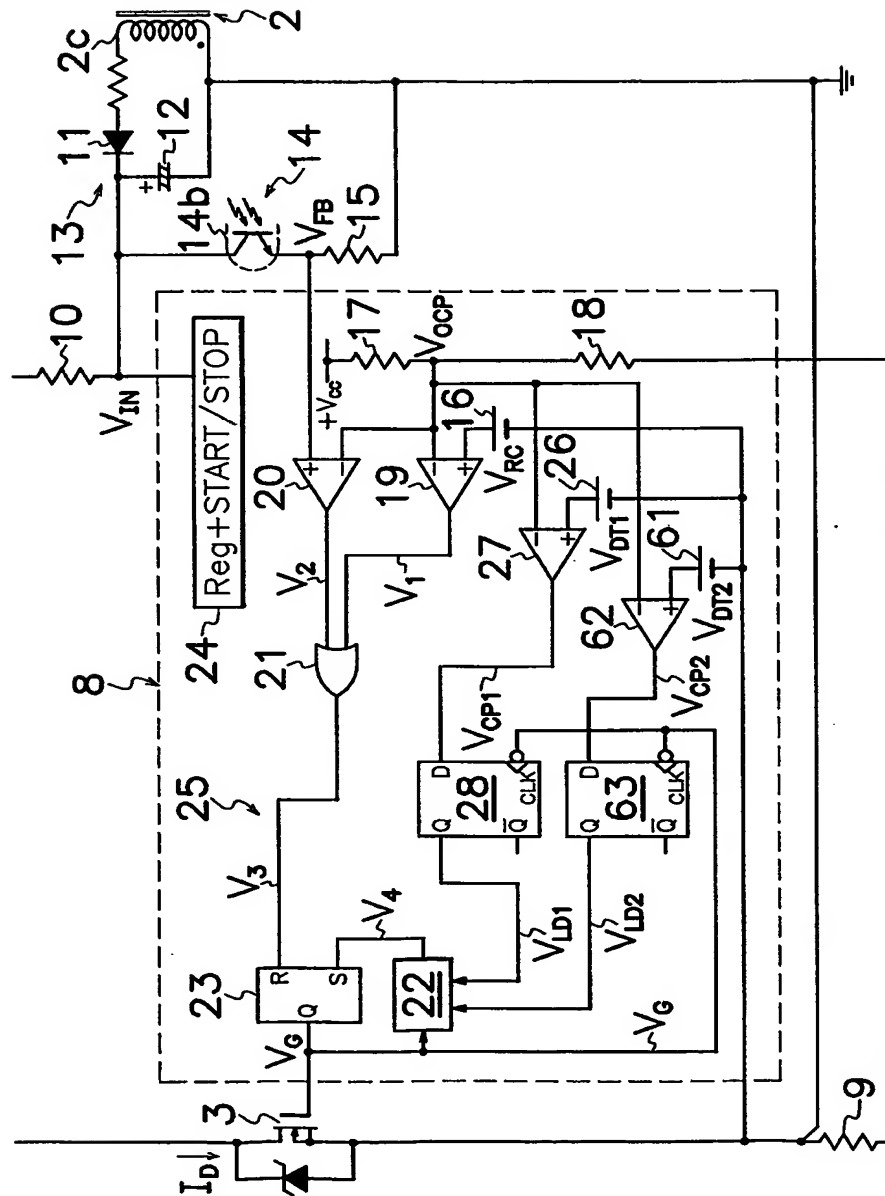
12/24

図 15



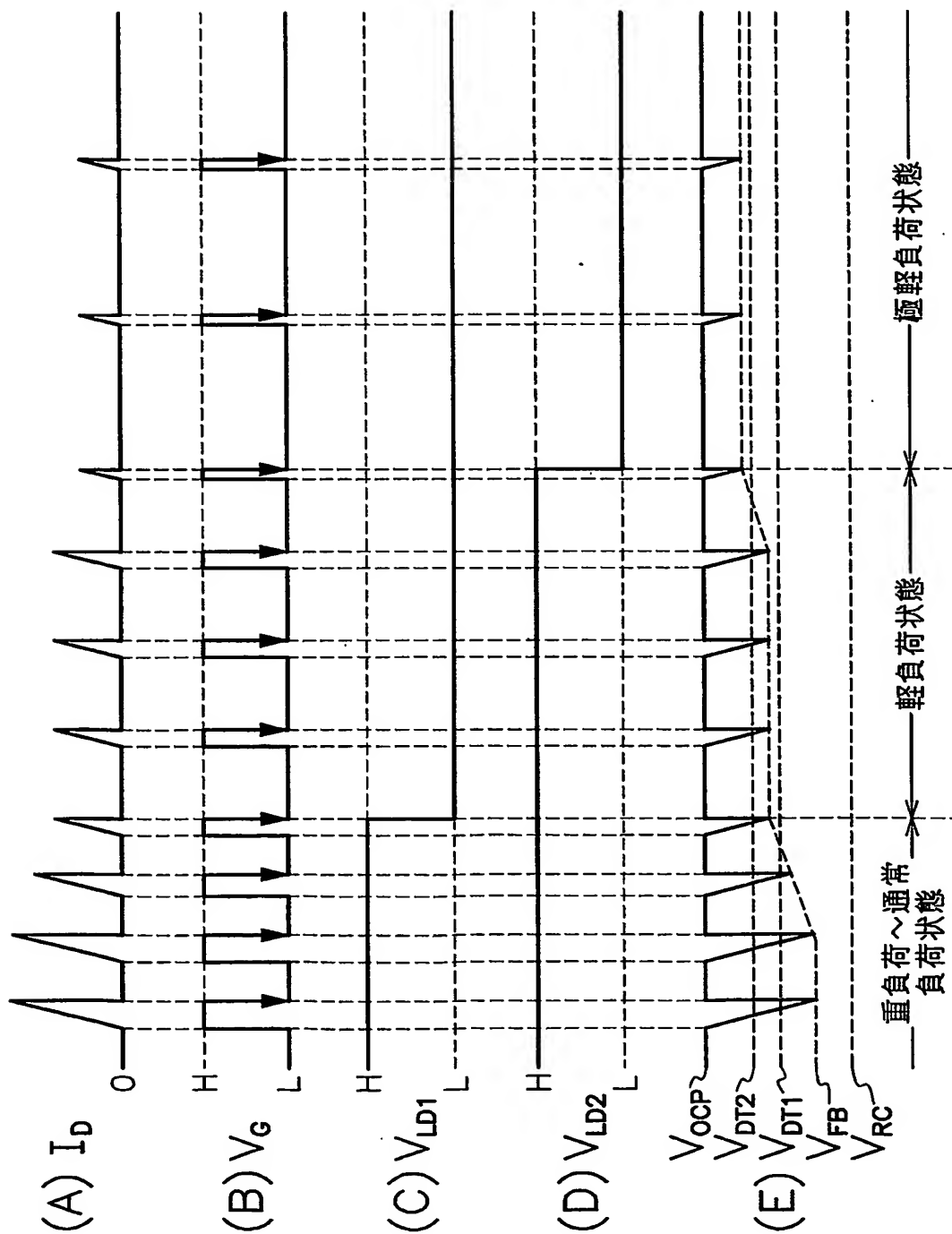
13/24

図 16



14/24

図 17



15/24

図 18

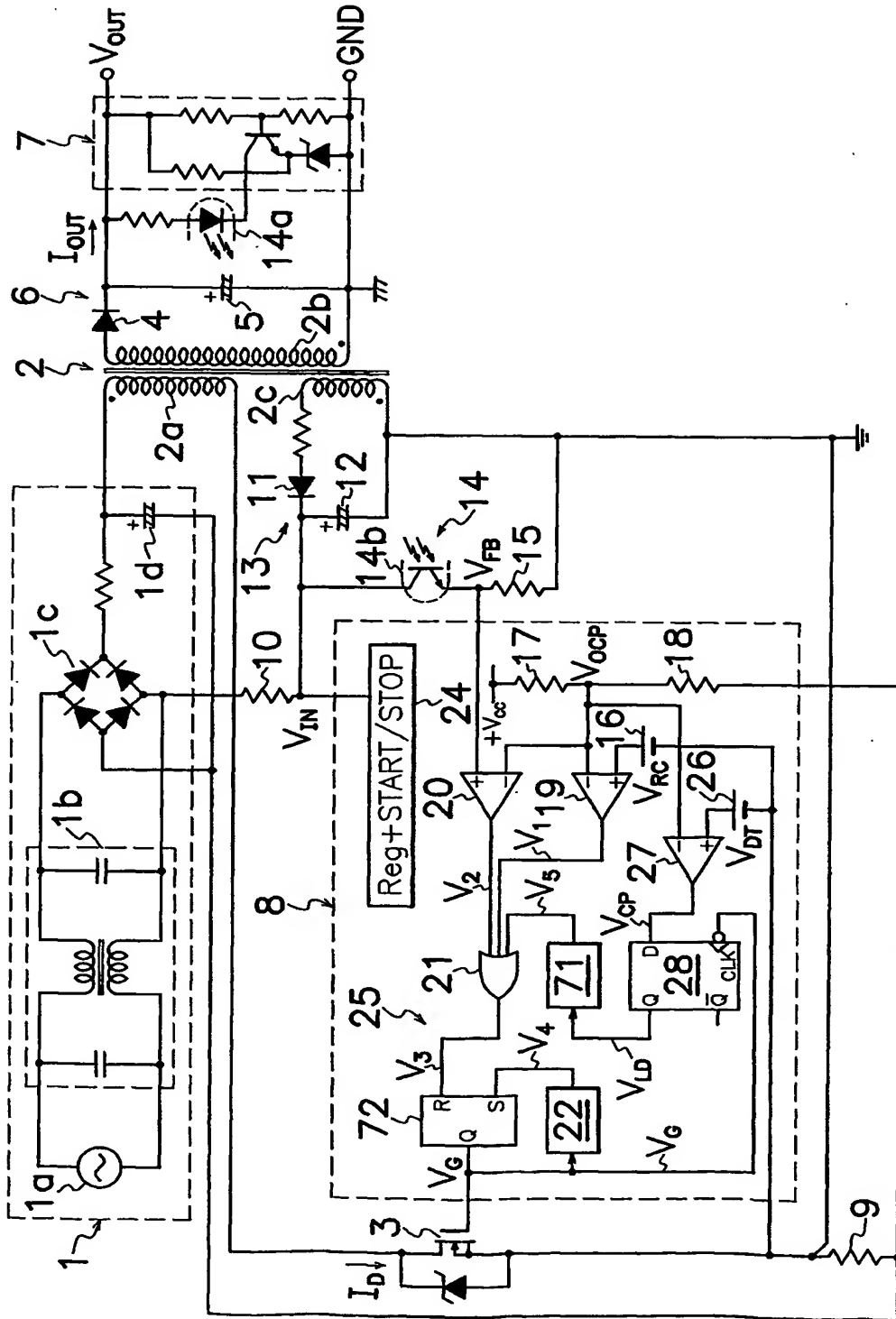
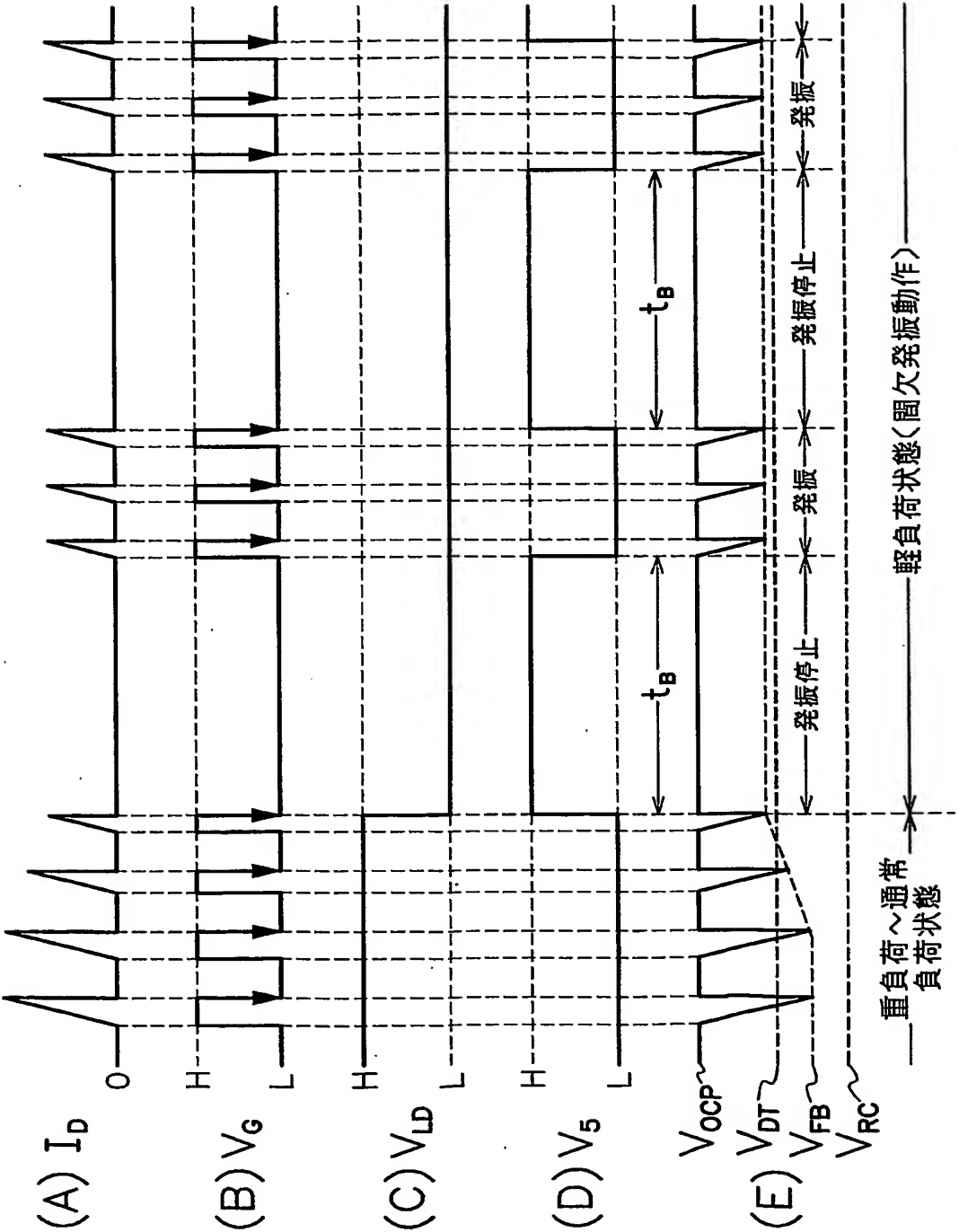


図 19



17/24

図 20

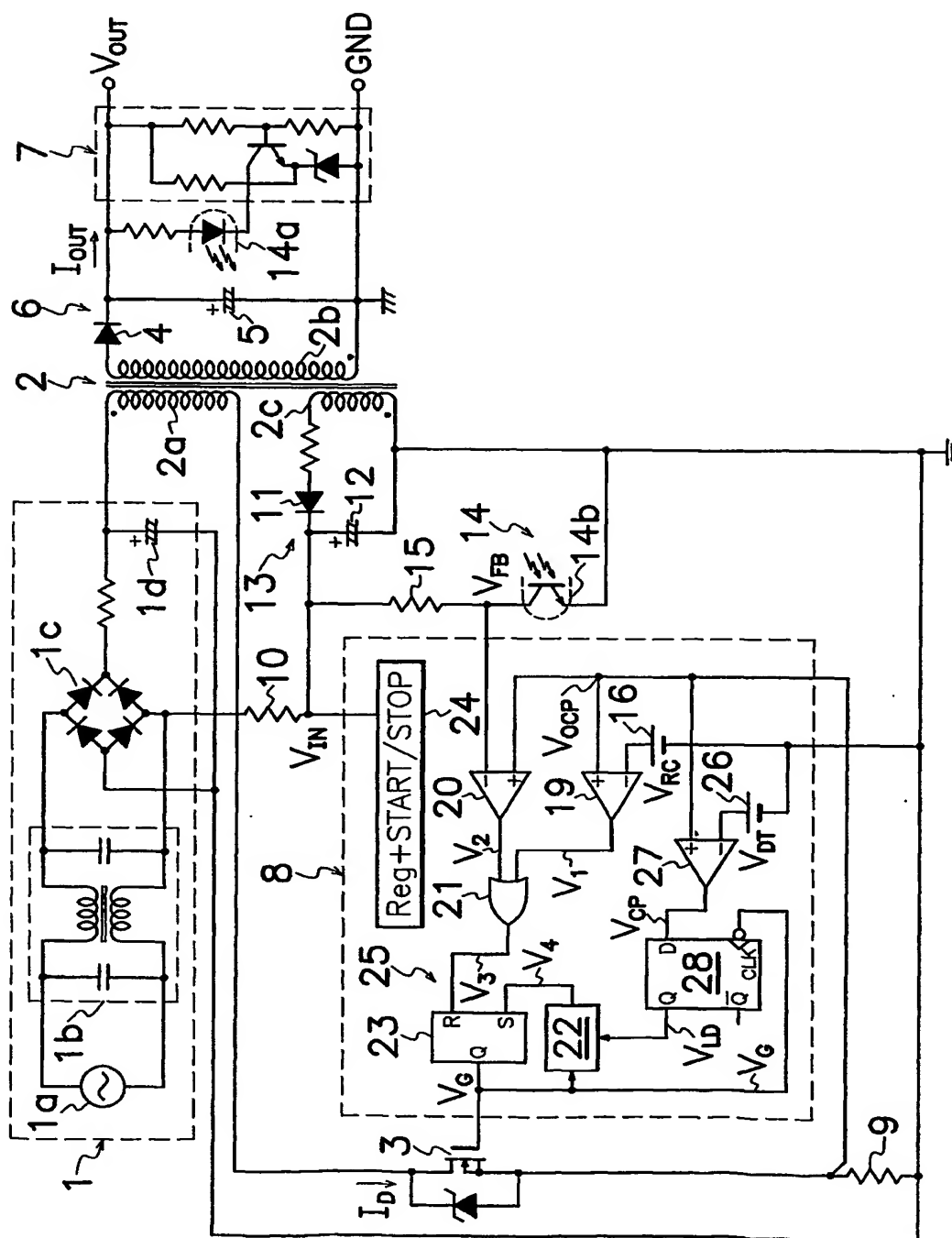
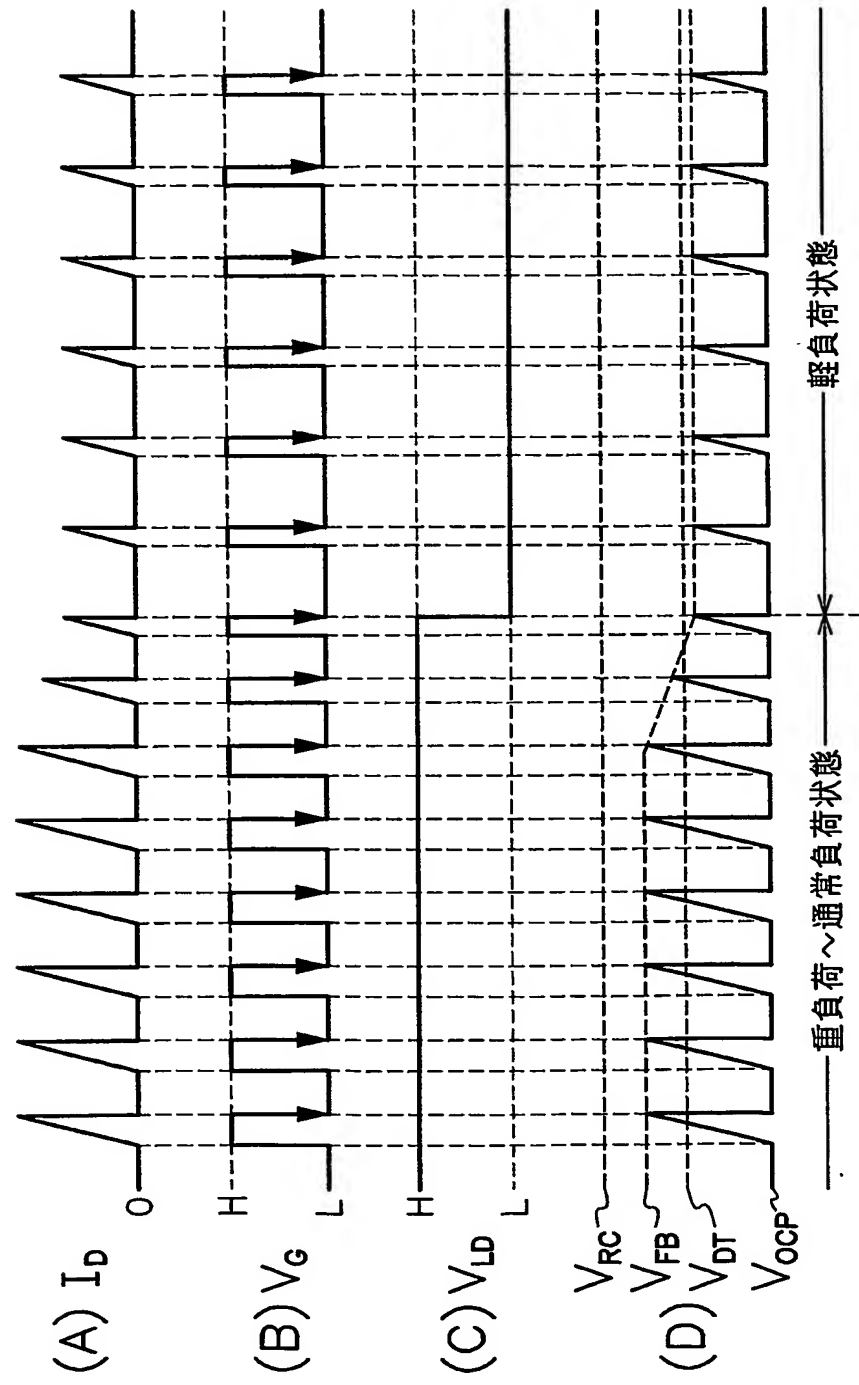
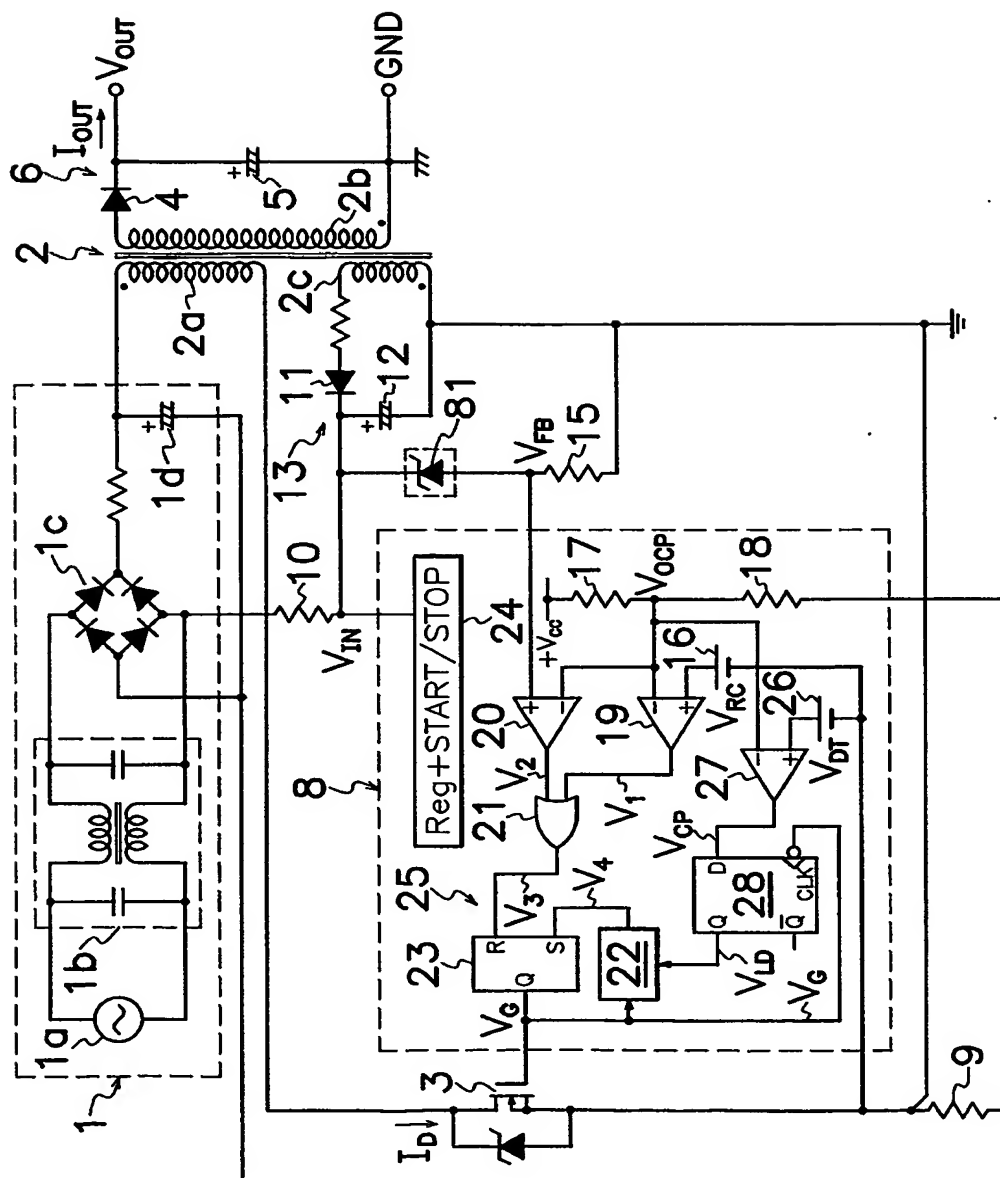


図 21



19/24

22



20/24

図 23

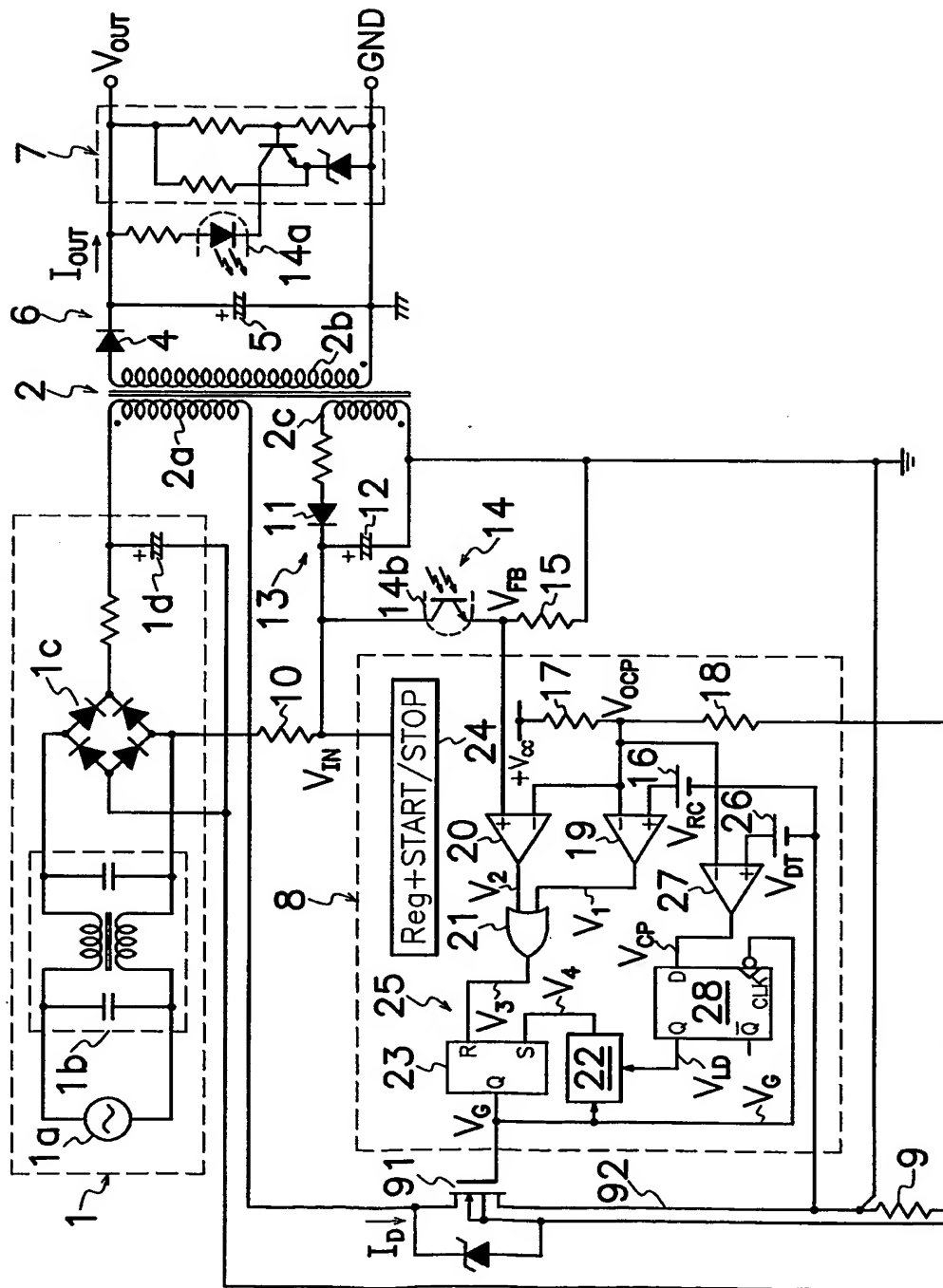


图 24

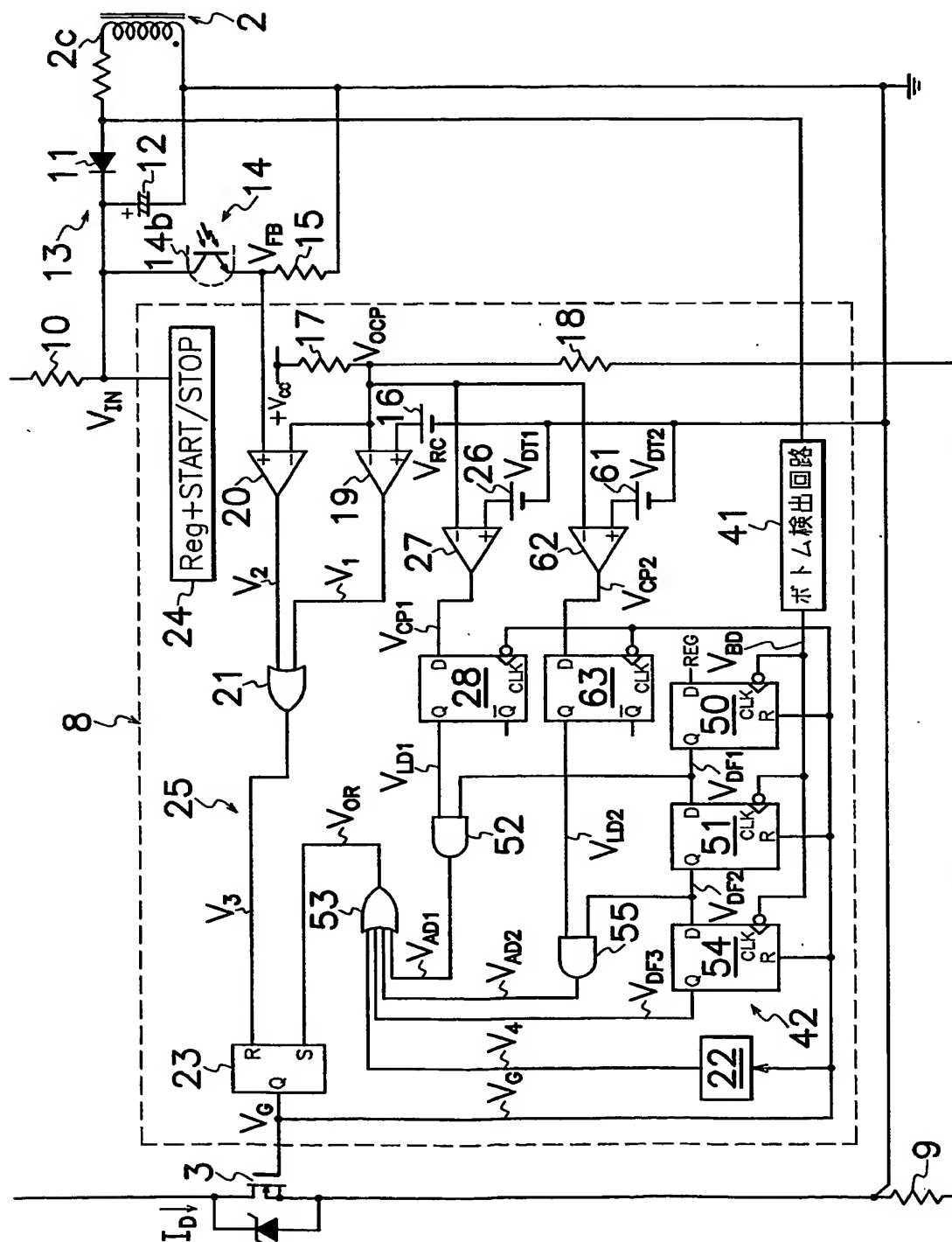
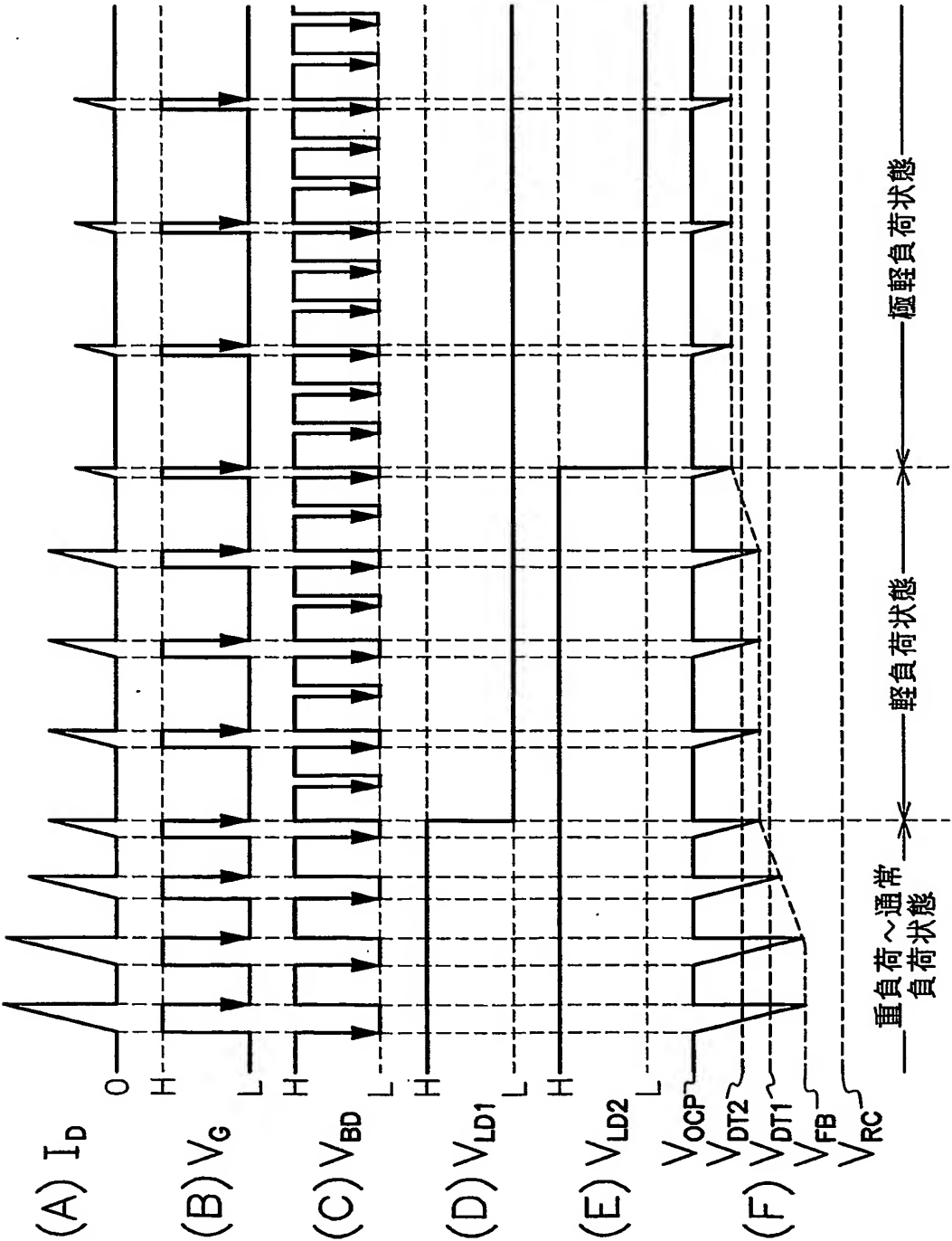
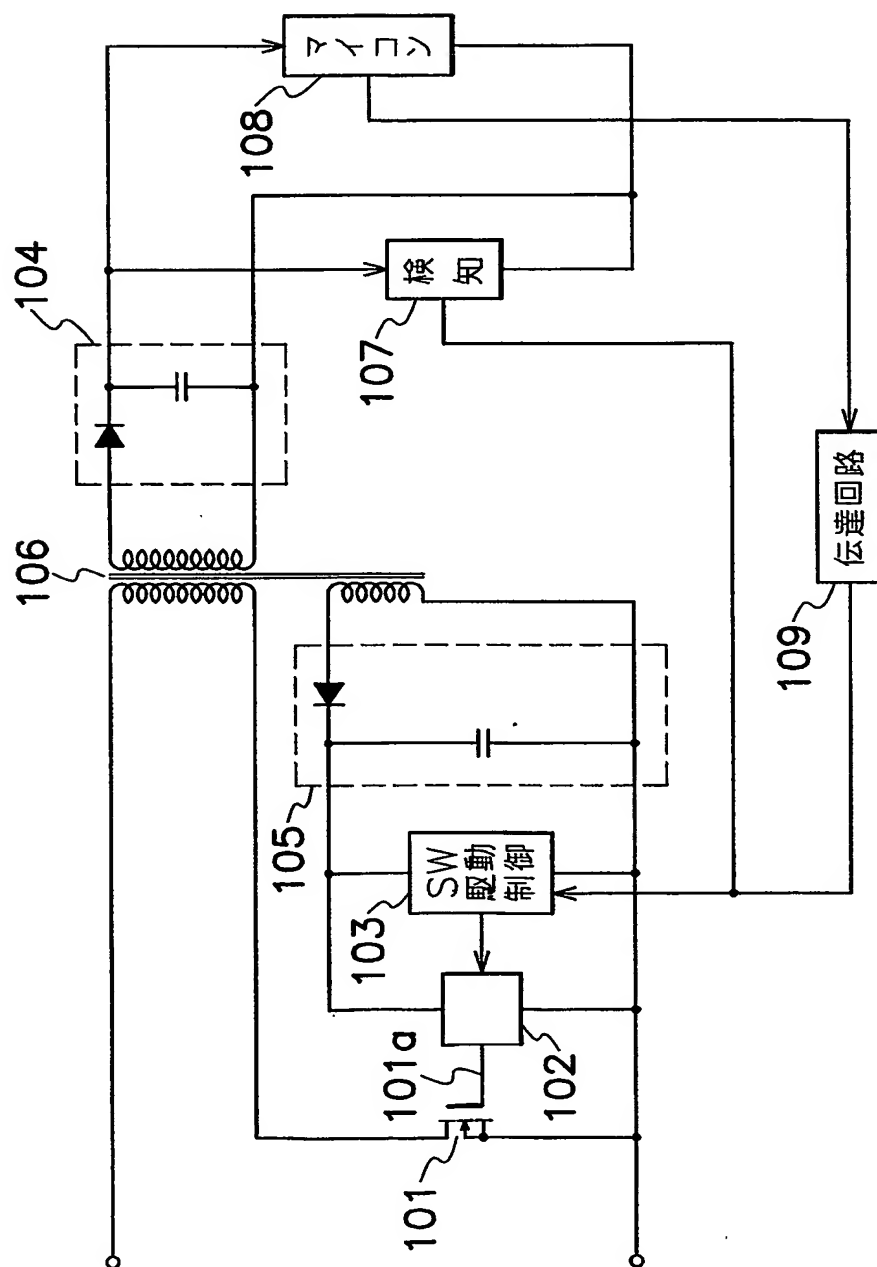


図 25



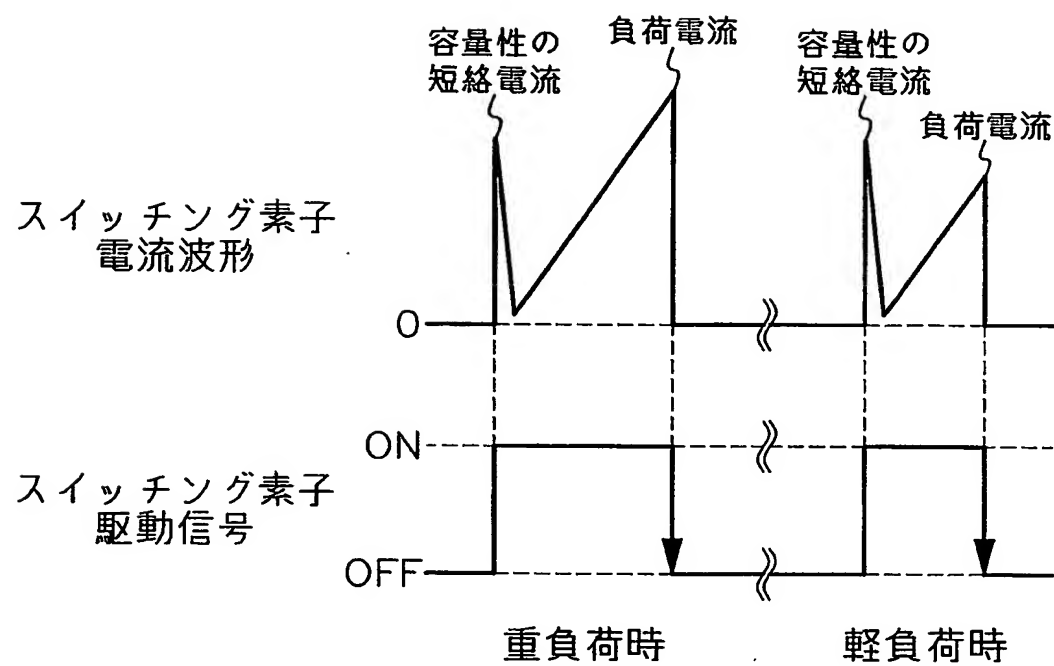
23/24

図 26



24/24

図 27



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/09578

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-344713 A (Toshiba Corp.), 24 December, 1993 (24.12.93), Par. Nos. [0015] to [0019]; Figs. 1 to 2 (Family: none)	1-11
A	JP 5-122931 A (Sony Corp.), 18 May, 1993 (18.05.93), Par. Nos. [0039] to [0067]; Figs. 3 to 7 (Family: none)	1-11
A	JP 3-103067 A (Tohoku Ricoh Co., Ltd.), 30 April, 1991 (30.04.91), Page 1, lower right column, line 7 to page 3, lower right column, line 3; Figs. 1 to 4 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 October, 2003 (23.10.03)	Date of mailing of the international search report 11 November, 2003 (11.11.03)
--	--

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09578

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 69187/1991 (Laid-open No. 55787/1993) (Sanken Electric Co., Ltd.), 23 July, 1993 (23.07.93), Par. Nos. [0006] to [0018]; Figs. 1 to 2 (Family: none)	1-11
A	JP 2001-112249 A (Sanken Electric Co., Ltd.), 20 April, 2001 (20.04.01), Par. No. [0038]; Figs. 8 to 10 (Family: none)	1-11
A	US 6134123 A (Tomoyasu YAMADA), 17 October, 2000 (17.10.00), Full text; Figs. 1A to 6 (Family: none)	1-11
A	JP 7-288975 A (Matsushita Electric Works, Ltd.), 31 October, 1995 (31.10.95), Par. Nos. [0025] to [0027]; Figs. 2 to 3 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 5-344713 A (株式会社東芝) 1993. 12. 24, 【0015】-【0019】, 図1-2 (ファミリーなし)	1-11
A	JP 5-122931 A (ソニー株式会社) 1993. 05. 18, 【0039】-【0067】, 図3-7 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

23. 10. 03

国際調査報告の発送日

11.11.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 3-103067 A (東北リコー株式会社) 1991. 04. 30, 第1頁右下欄第7行-第3頁右下欄第3行, 図1-4 (ファミリーなし)	1-11
A	日本国実用新案登録出願3-69187号 (日本国実用新案登録出願公開5-55787号) の願書に添付した明細書及び図面の内容を記録したCD-ROM (サンケン電気株式会社) 1993. 07. 23, 【0006】-【0018】, 図1-2 (ファミリーなし)	1-11
A	JP 2001-112249 A (サンケン電気株式会社) 2001. 04. 20, 【0038】, 図8-10 (ファミリーなし)	1-11
A	US 6134123 A (Tomoyasu YAMADA) 2000. 10. 17, 全文, 図1A-6 (ファミリーなし)	1-11
A	JP 7-288975 A (松下電工株式会社) 1995. 10. 31, 【0025】-【0027】, 図2-3 (ファミリーなし)	1-11